

DISPOSITIVOS ELECTRÓNICOS DE CONTROL DE POTENCIA TOTALMENTE CONTROLADOS.

Estos dispositivos, también llamados “conmutadores del tercer tipo” se caracterizan porque tanto la conmutación de encendido como la de apagado resulta de la aplicación de una señal externa de control, por lo que su estado (bloqueo o conducción) esta completamente determinado por el estado de la variable de control (corriente o voltaje, según el tipo de dispositivo), siempre por supuesto que las condiciones de polarización del circuito externo a controlar sean las adecuadas.

En el estado actual de la tecnología los componentes completamente controlados de interés para aplicaciones de electrónica de potencia son casi en su totalidad dispositivos de tres terminales (dos de potencia y uno de control), aunque se han propuesto dispositivos experimentales con cuatro terminales (dos de potencia y dos de control).

En este momento la mayoría de los dispositivos electrónicos de control de potencia completamente controlados están contruidos en base a la tecnología del silicio (Si), pero algunos fabricantes ya están ofreciendo dispositivos basados en las tecnologías emergentes del carburo de silicio (SiC) y del nitruro de galio (GaN).

Los dispositivos de interés en este momento son los siguientes:

I.- Controlados por corriente:

- 1.- Transistor bipolar de juntura (BJT: Bipolar Junction Transistor).
- 2.- Rectificador controlado de silicio apagado por compuerta (GTO Gate Turn-Off).

Tanto los BJT como los GTO en el mercado son de tecnología Si, aunque se habla de BJT de GaN.

1.- Dispositivos controlados por voltaje:

1.- Transistor de efecto de campo de compuerta aislada de potencia (Power MOSFET: Metal Oxide Semiconductor Field Effect Transistor).

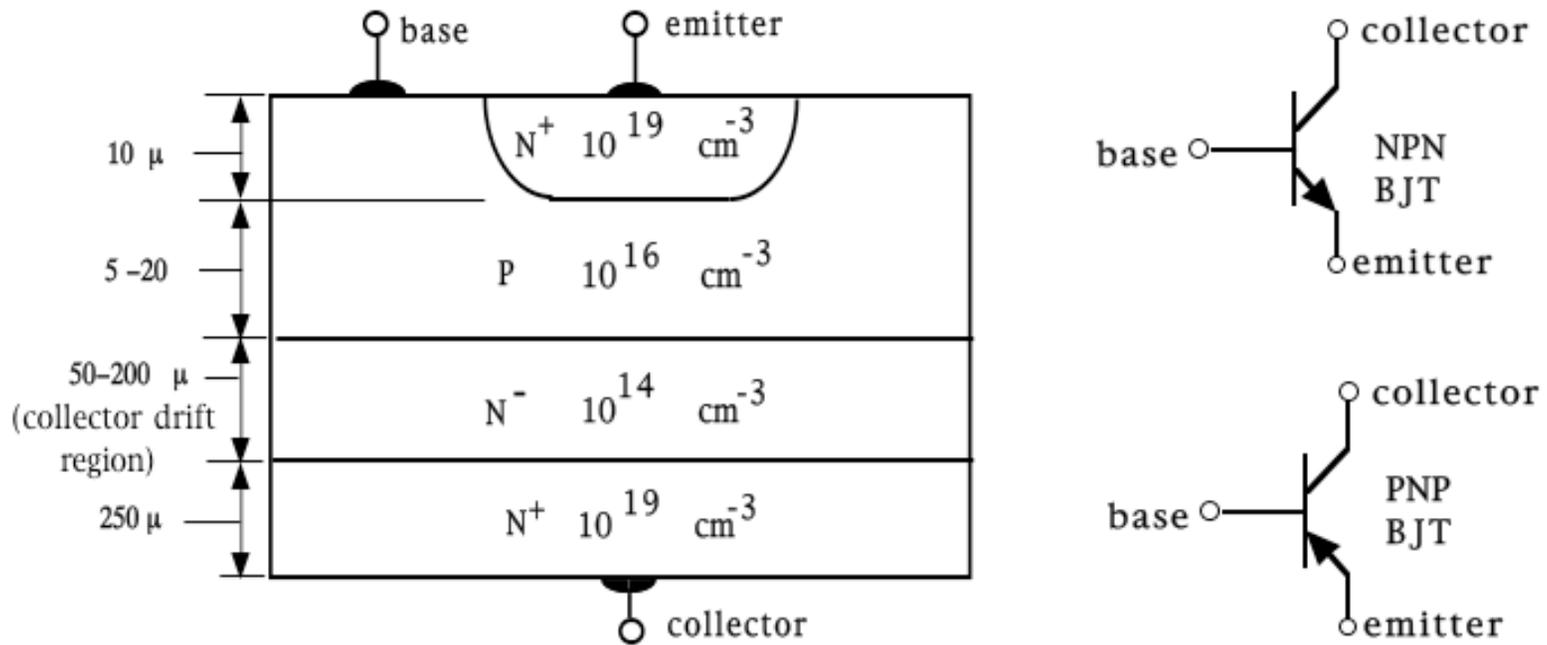
2.- Transistor bipolar de compuerta aislada (IGBT: insulated gate Bipolar transistor).

Los IGBT presentes en el mercado son de Si; la mayoría de los PowerMOSFETs son también de Si, pero ya se están ofreciendo una gama de MOSFETs de potencia de SiC y, en menor variedad, de GaN.

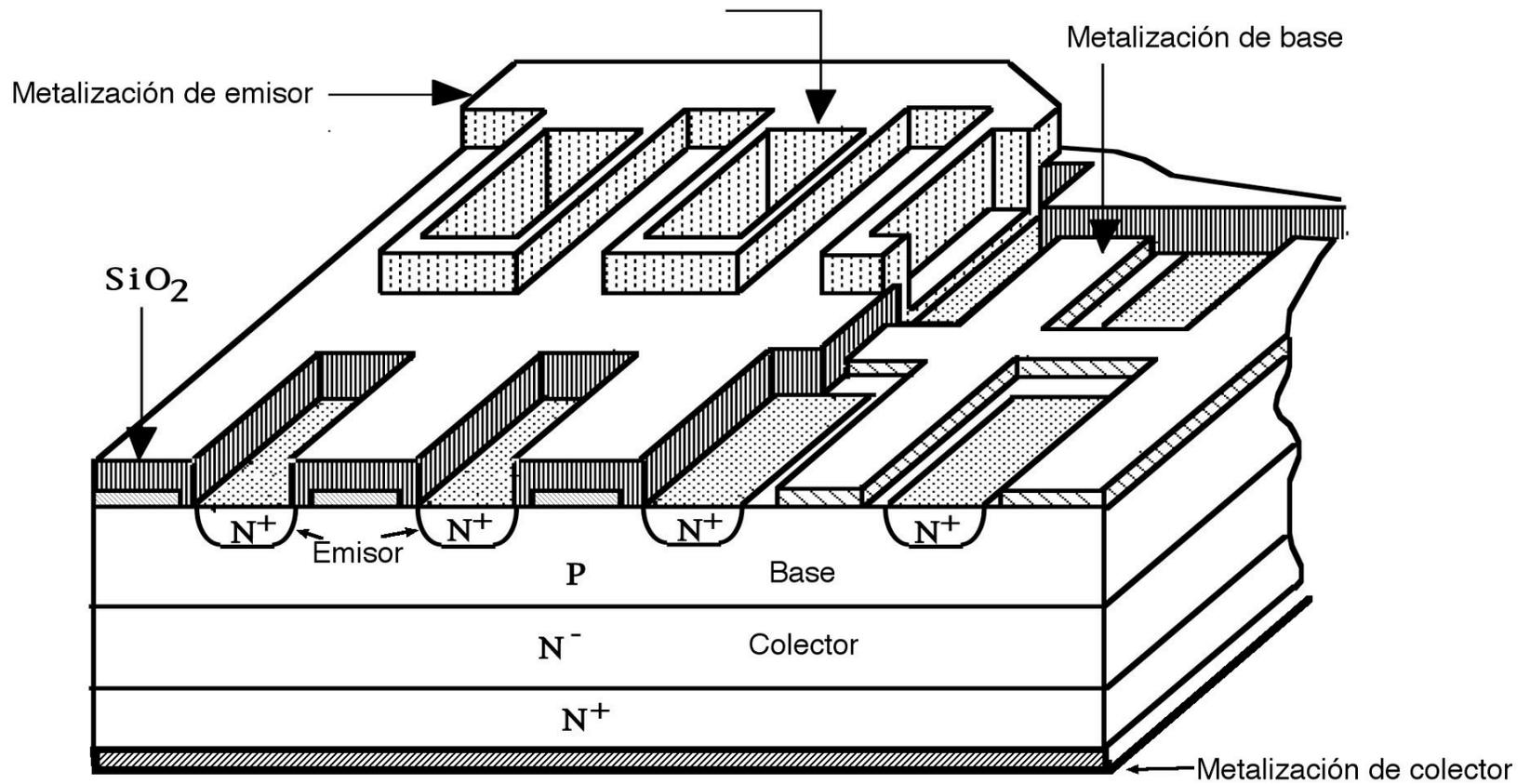
TRANSISTOR BIPOLAR DE JUNTURA (BJT)

Los BJT de potencia fueron los primeros dispositivos de control de potencia completamente controlados ofrecidos en el mercado, su interés en este momento es básicamente de referencia, ya que en la práctica han sido desplazados por los componentes controlados por voltaje (PowerMOSFETs e IGBTs) que ofrecen prestaciones superiores. Esta situación puede cambiar, si tienen éxito los nuevos desarrollos que se están reportando sobre BJT de potencia en tecnología GaN.

La operación de los BJT de potencia de Si es similar a la de los BJT convencionales de baja potencia, pero su estructura interna se diferencia ya que la corriente sigue una trayectoria vertical en el cristal semiconductor.



Corte ideal de la estructura de un transistor bipolar de juntura (BJT) tipo NPN de potencia (izquierda) y símbolos circuitales de los transistores BJT NPN y PNP



Corte de un BJT tipo NPN de potencia típico, mostrando las capas de metalización.

Si los dopados se intercambian, reemplazando los dopados tipo P por dopados tipo N y viceversa, el resultado es un transistor BJT tipo PNP.

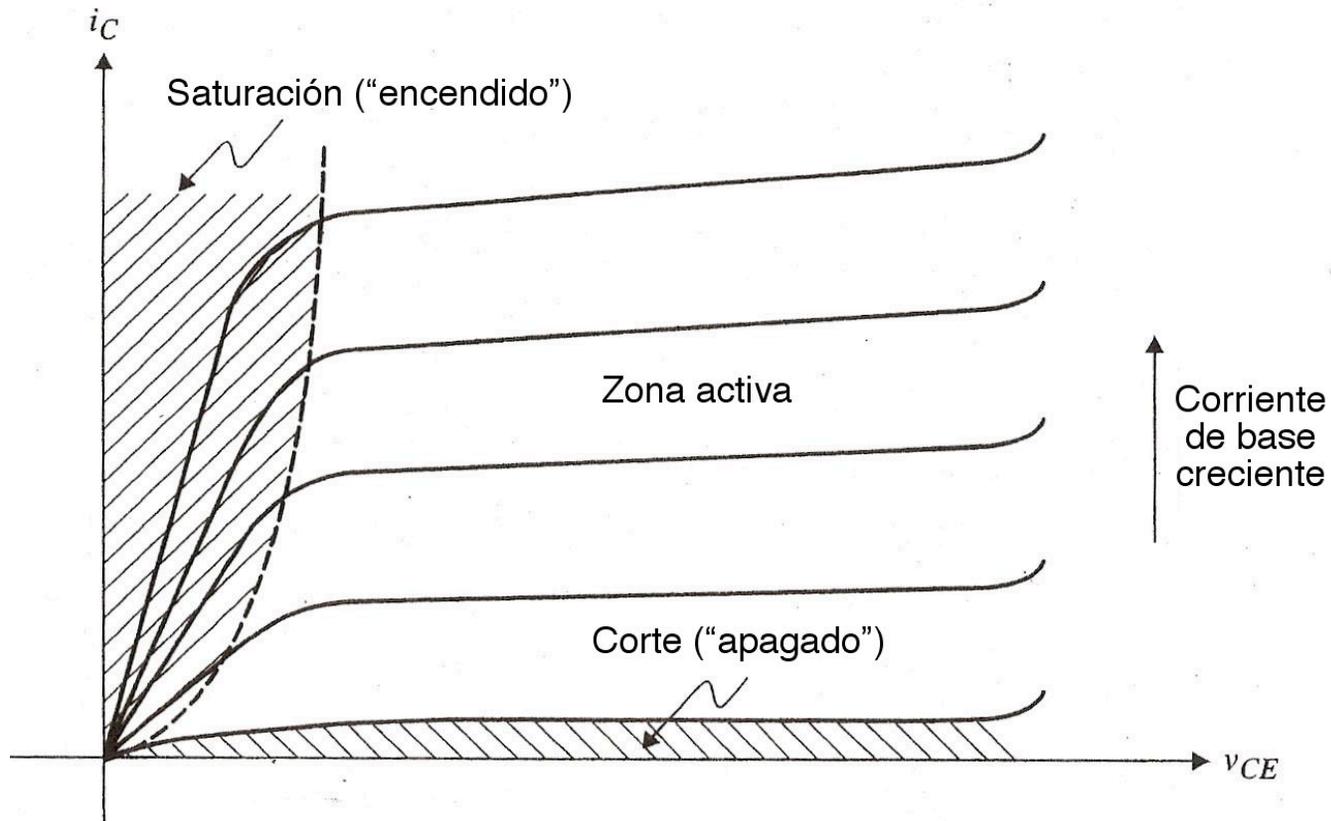
Las características generales del PNP de potencia son similares a las del NPN de potencia, salvo en lo referente a la movilidad de los portadores mayoritarios (huecos en este caso), que es menor, lo cual significa que la velocidad de conmutación es menor en el PNP.

Debido a esto los BJT tipo PNP de potencia son poco usados, y no serán considerados en estas notas.

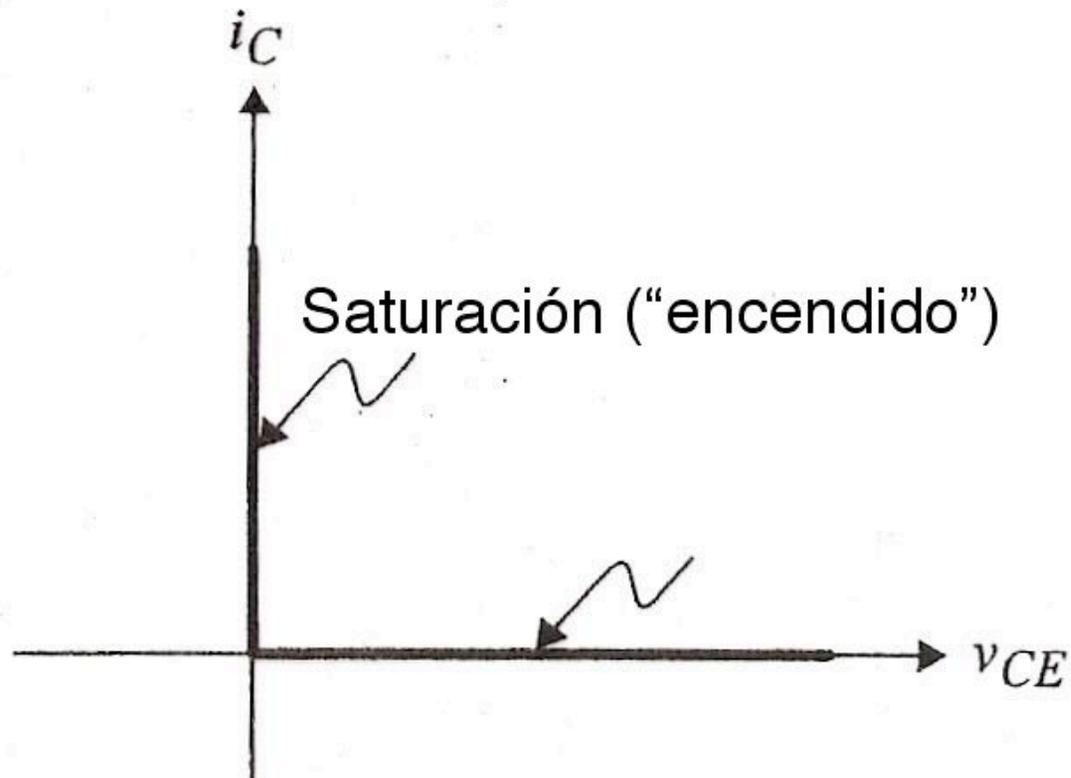
Características especiales del BJT de potencia:

- 1.- Conducción vertical para maximizar el área efectiva y por lo tanto la corriente principal (I_{ce})
- 2.- Región de deriva del colector (collector drift) amplia y de bajo dopado (N^-) para lograr una tensión de bloqueo elevada
- 3.- Región de base relativamente amplia, lo que implica ganancia de corriente baja
- 4.- Estructura entrelazada de las zonas de base y emisor para lograr dispersión óptima de la corriente de emisor y minimizar la resistencia serie.

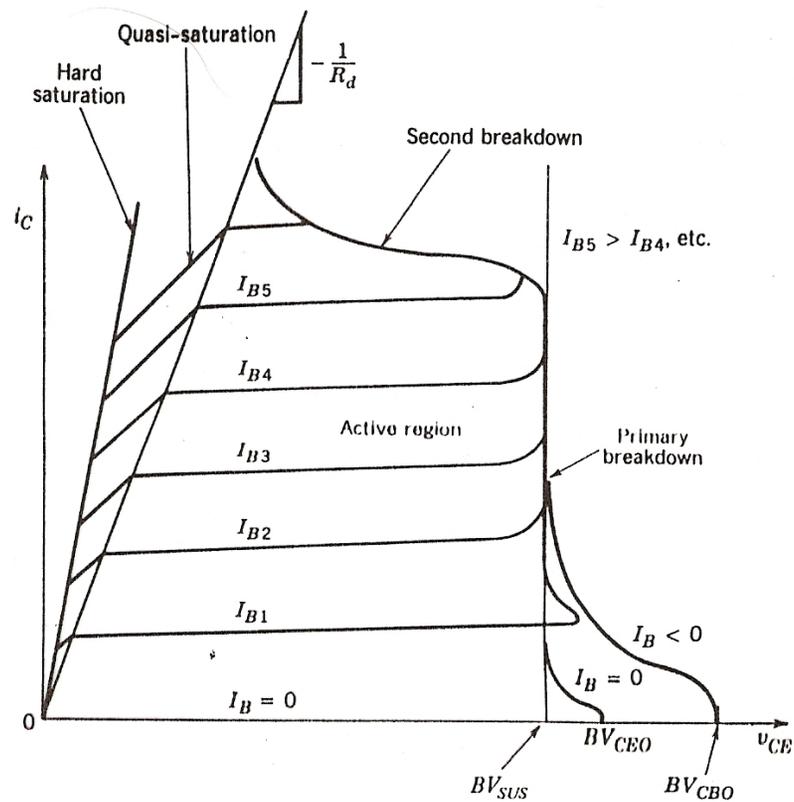
5.- La capacidad teórica de manejar potencia ($v_{ce} * i_{ce}$) supera ampliamente la potencia máxima disipable en la juntura, por lo que el BJT de potencia se utiliza en modo de conmutación, operando solamente en sus zonas de corte y saturación y no en modo lineal, operando en su zona activa.



Características i_{ce}/v_{ce} típicas de un BJT tipo NPN de potencia mostrando las tres zonas de operación.



Características i_{ce}/v_{ce} ideales de un BJT tipo NPN de potencia
Actuando como conmutador controlado, mostrando los dos
estados estables posibles.



Características V-I de un BJT operando en condiciones de gran señal, mostrando los distintos voltajes de ruptura y la ruptura secundaria.

Especificaciones básicas.

I.- Tensión de bloqueo colector-emisor.

Determina la tensión colector-emisor, V_{CE} , máxima que puede ser aceptado por un BJT de potencia sin entrar en conducción por ruptura directa.

Es función de la impedancia externa que este conectada entre los terminales de base y de emisor.

El fabricante puede especificar tres valores distintos en función de la impedancia externa:

a.- V_{CEO} . Tensión colector emisor de bloqueo máxima, cuando el terminal de base esta abierto (conectado al terminal de emisor con una impedancia mayor o igual a 100Ω).

b.- V_{CEX} . Tensión colector emisor de bloqueo máxima, cuando el terminal de base esta conectado al terminal de emisor con una impedancia igual a 50Ω .

c.- V_{CES} . Tensión colector emisor de bloqueo máxima, cuando el terminal de base esta cortocircuitado al terminal de emisor (o se está aplicando una tensión negativa entre los dos terminales).

En general se cumple que:

$$V_{CEO} \leq V_{CEX} \leq V_{CES}$$

pero la diferencia entre los valores no es muy grande.

II.- Corriente colector emisor máxima.

Esta variable es dependiente de la temperatura de juntura del transistor, y suele ser especificada para una temperatura de juntura baja, usualmente 25° y para la máxima temperatura de juntura que puede soportar el transistor que, dependiendo de los especificaciones, puede estar entre 85° y 125° .

El fabricante puede especificar dos valores.

a.- $I_{C_{DC}}$. Es el máximo valor de corriente colector-emisor que puede ser mantenido por tiempo indefinido (condición DC).

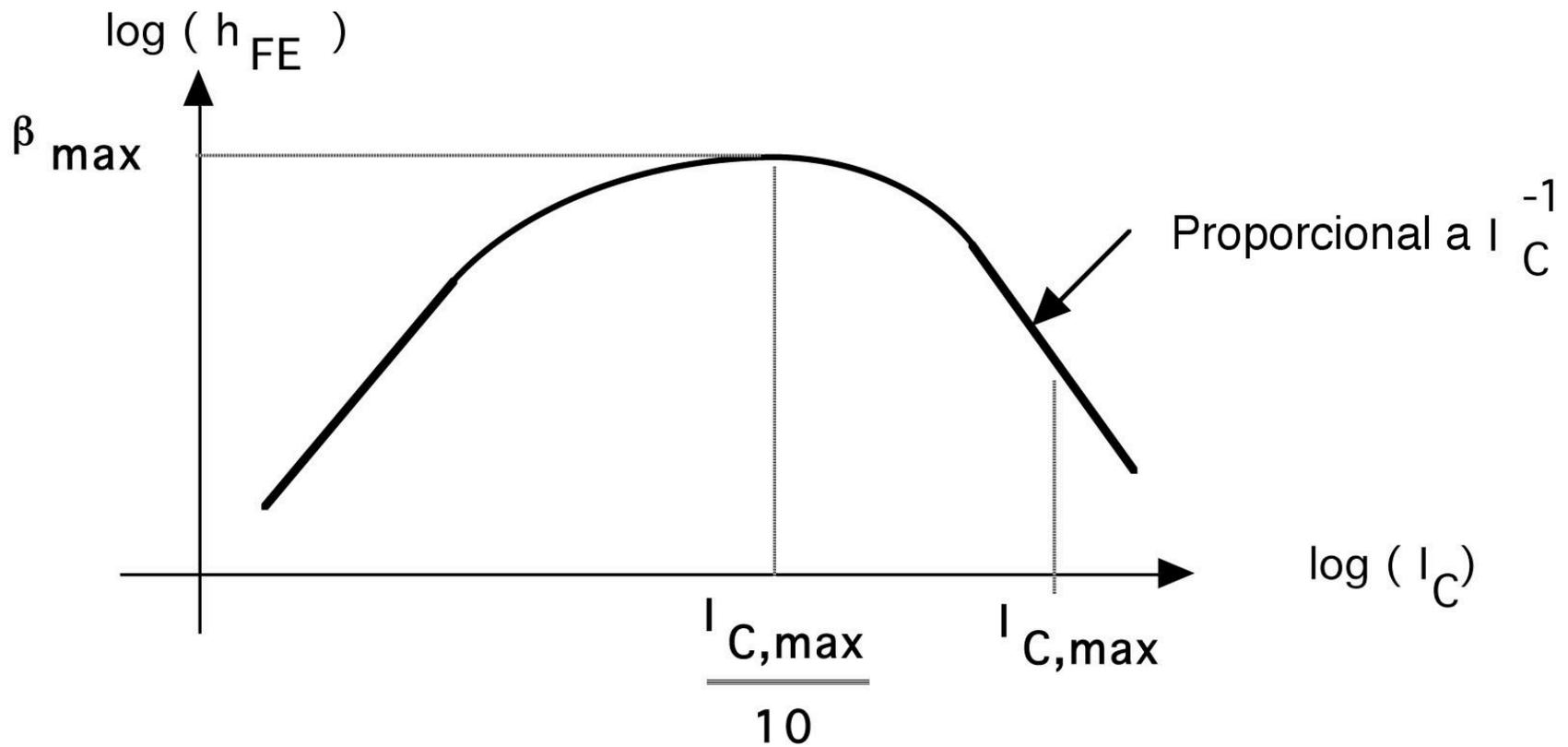
b.- $I_{C_{peak}}$. Es el máximo valor de corriente colector-emisor que puede ser mantenido en un régimen pulsante en el cual el fabricante define también el ancho del pulso y el ciclo de trabajo de repetición del pulso.

Usualmente el valor pico es mayor que el DC, hasta en un 100%, pero el ciclo de trabajo especificado es muy bajo (menor al 10%).

III.- Ganancia de corriente de gran señal (h_{FE})

El fabricante especifica la ganancia de corriente de gran señal, h_{FE} , para una corriente colector-emisor y una temperatura de juntura específicas.

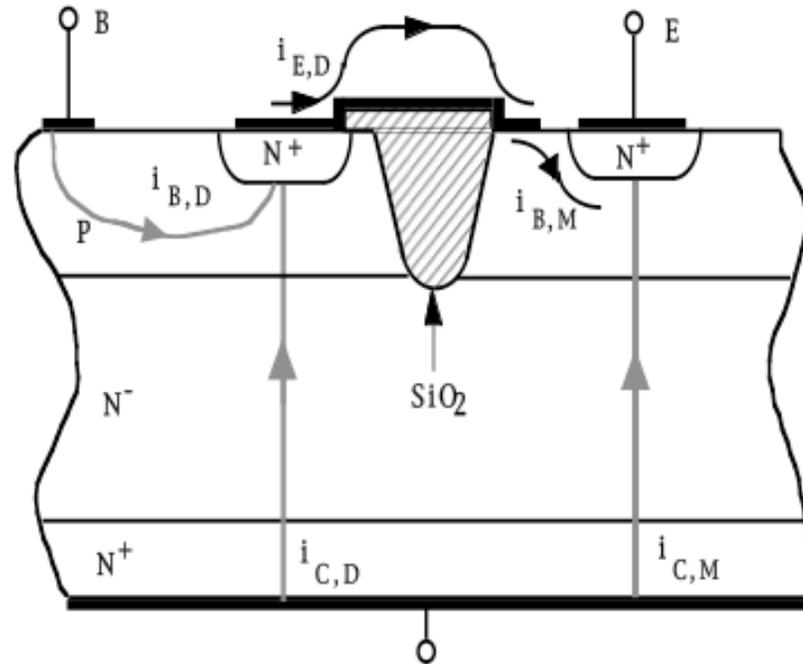
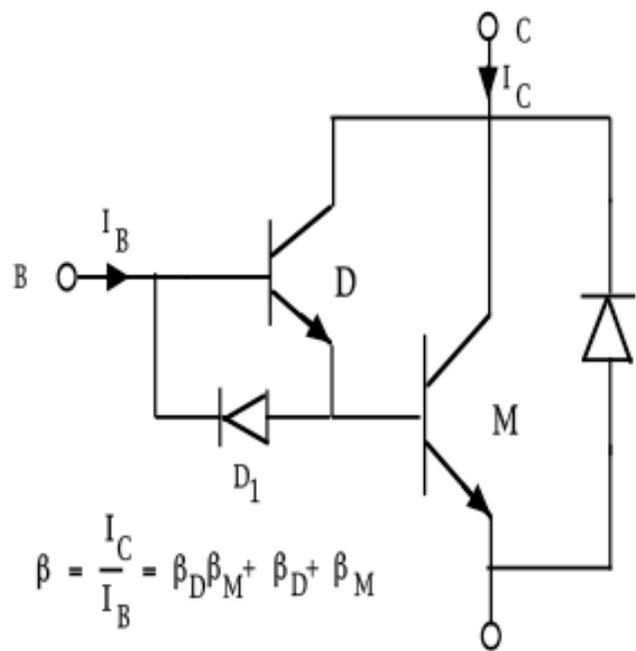
La dependencia entre h_{FE} y la corriente de colector es muy grande y no lineal, por lo que en general el valor específico a usar en el diseño debe ser consultado en las gráficas h_{FE}/i_{ce} .



Relación típica de la ganancia de corriente (h_{FE}) con la corriente de colector (I_C)

Como consecuencia de la relación ganancia de corriente – corriente máxima de colector, la ganancia de corriente aprovechable en un BJT de potencia es usualmente baja (normalmente menor que 20), lo que hace necesario emplear etapas de manejo de base capaces de entregar una corriente de base significativamente grande o realizar conexiones de varios transistores en configuración tipo Darlington.

Por esta razón los fabricantes suelen ofrecer “transistores Darlington monolíticos” dentro de sus líneas de productos.



Estructura de un BJT NPN tipo Darlington monolítico (derecha), y su símbolo circuital

Conmutación de dispositivos electrónicos de potencia completamente controlados con cargas inductivas.

Las aplica más comunes en Electrónica de potencia se caracterizan por tener cargas altamente inductivas, con constantes de tiempo significativamente superiores a los ciclos de conmutación de los dispositivos electrónicos de control de potencia empleados en las válvulas.

Como consecuencia de esto el circuito debe proveer de un camino alternativo por el cual la corriente de carga pueda seguir circulando cuando el dispositivo principal conmuta en apagado.

Esta topología, que es independiente del tipo de dispositivo electrónico de control de potencia totalmente controlado que se use, determina unas características comunes a todos los procesos de encendido y de apagado que ocurren en el circuito de potencia.

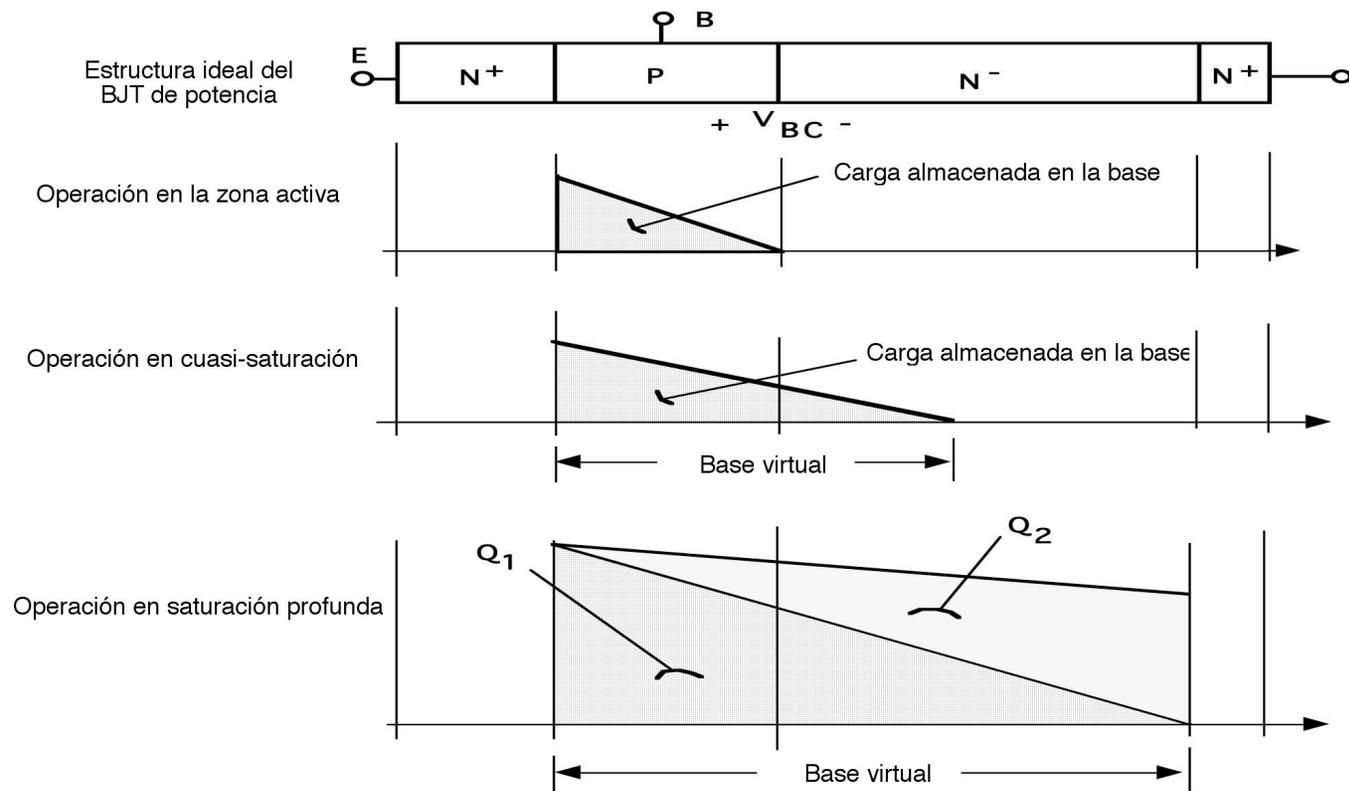
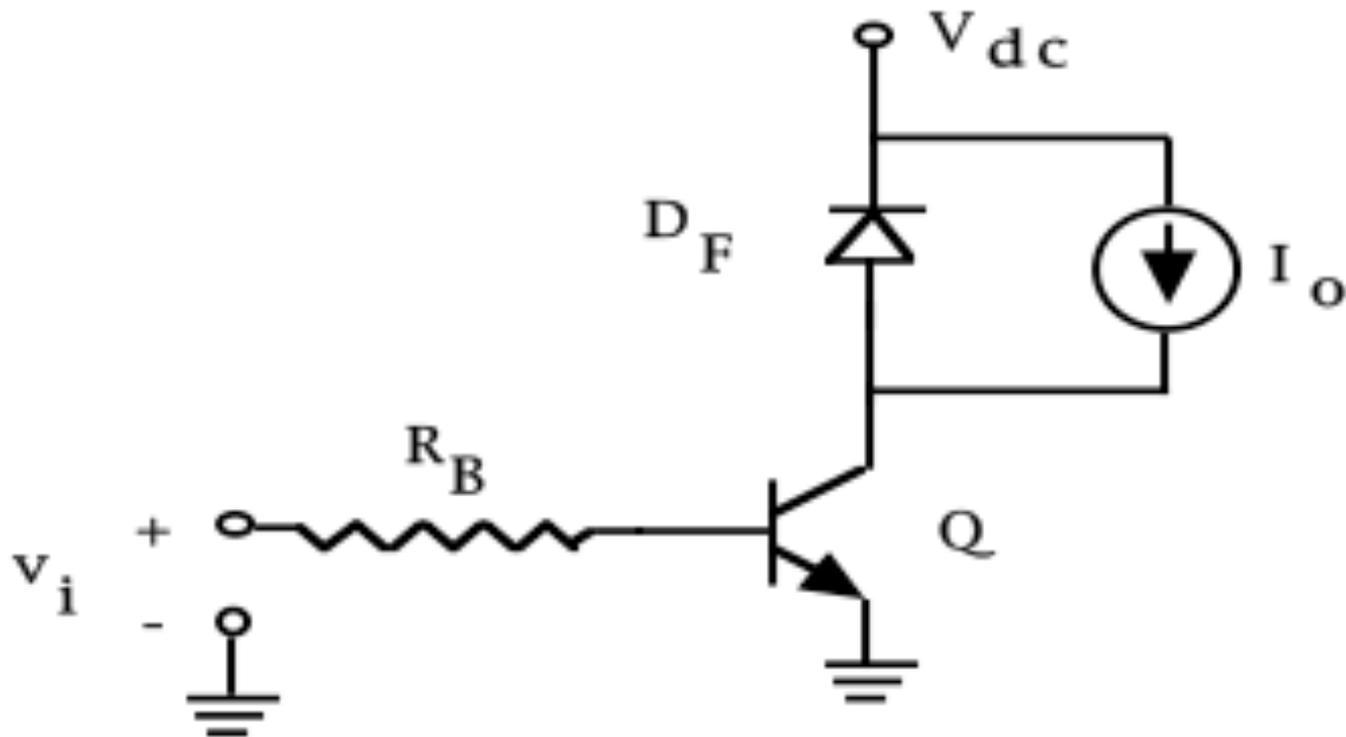


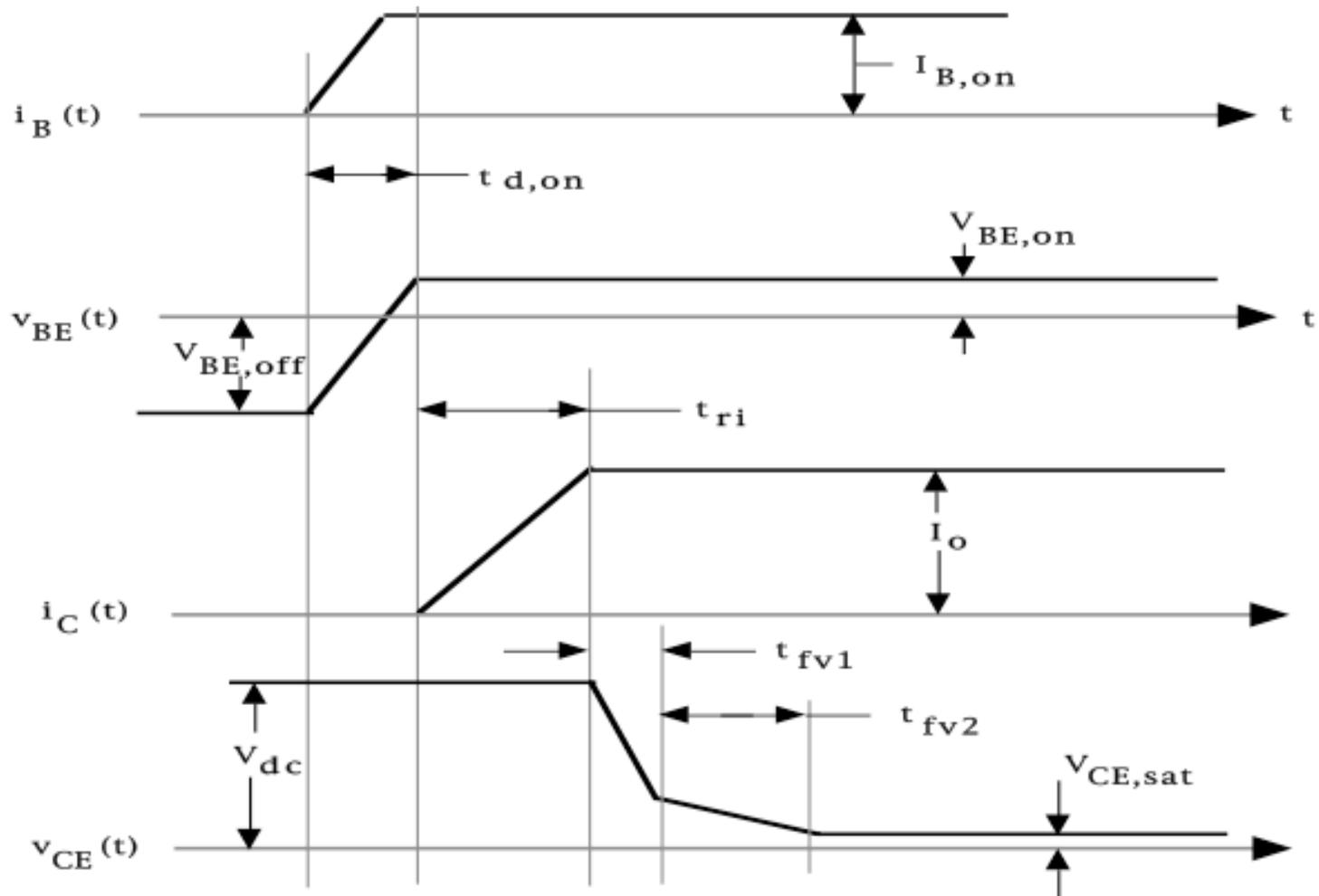
Diagrama de distribución de carga en el cristal semiconductor en las distintas etapas de la conducción

Q_1 : carga acumulada en la base extendida para lograr saturación

Q_2 : Carga adicional de saturación profunda

Conmutación del BJT con carga inductiva y diodo de libre conducción en el circuito de potencia.





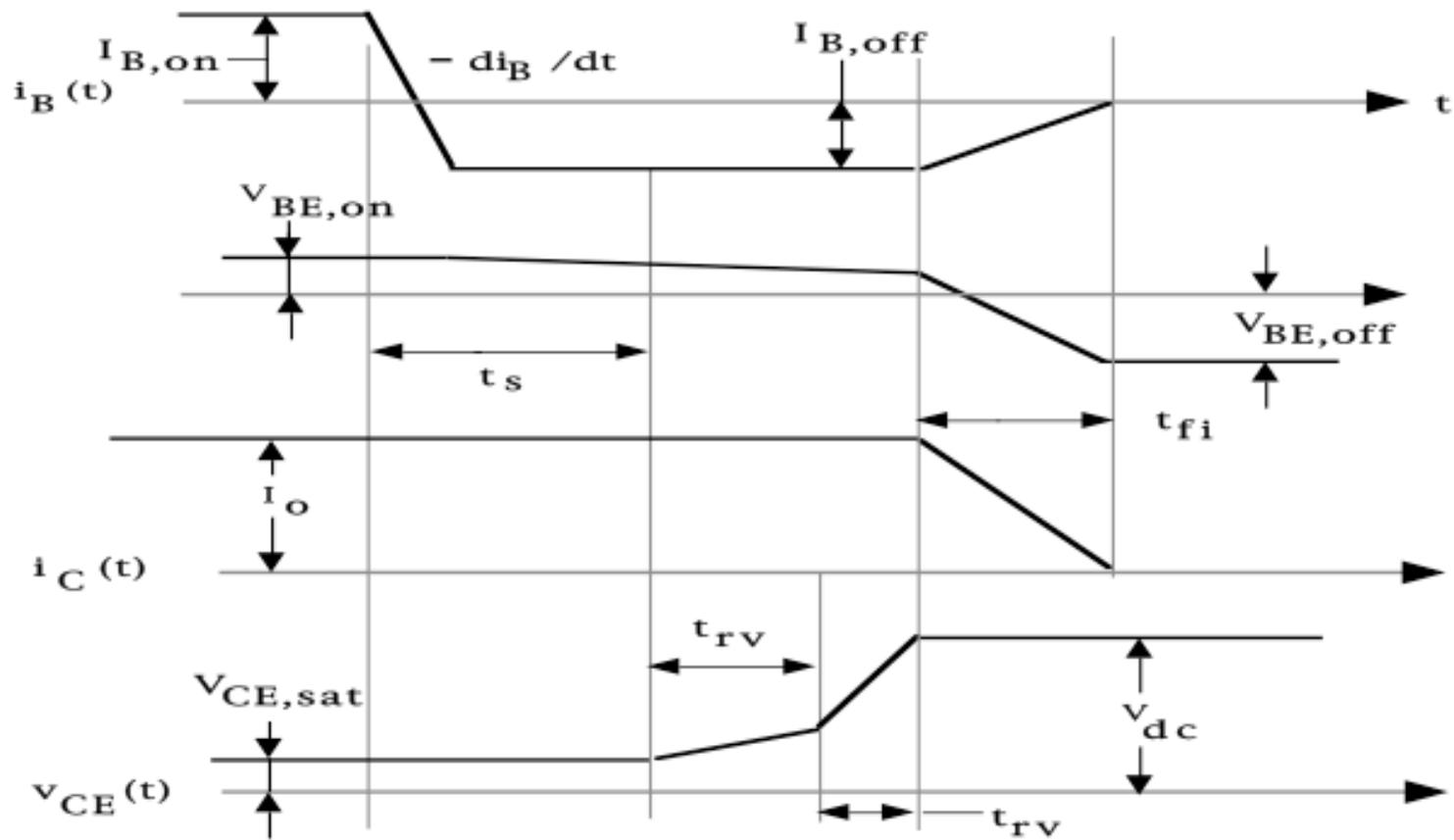
Formas de onda en el BJT durante en proceso de encendido

Etapas del proceso de encendido:

- 1.- Comienzo del proceso. La corriente de base externa empieza a crecer con un $di_b(t)/dt$ definido por el circuito externo de control de base.
- 2.- Tiempo de retardo (t_d). La corriente de base acumula portadores en la base con lo que la tensión base-emisor sube hasta el valor de conducción.
- 3.- Tiempo de subida (t_r). La corriente colector emisor, $i_{ce}(t)$, empieza a subir, reduciendo la corriente en el diodo auxiliar de libre conducción. La tensión colector-emisor, $v_{ce}(t)$ permanece fija mientras el diodo conduce.

4.- Operación en la zona lineal (t_{fv1}). Cuando el diodo auxiliar corta, la tensión colector-emisor empieza a caer hacia el valor de saturación.

5.- Operación en la zona de cuasi-saturación (t_{fv2}). A medida que se continua la inyección de un exceso de portadores en la base, la zona efectiva de base se extiende dentro de la región de colector, ocupando en la zona de cuasi-saturación; la ganancia efectiva de corriente se va reduciendo, y la tensión colector-emisor decrece más lentamente hasta el valor de tensión colector-emisor de saturación profunda, terminando el proceso de encendido.



Formas de onda en el BJT durante en proceso de apagado con corriente de base controlada.

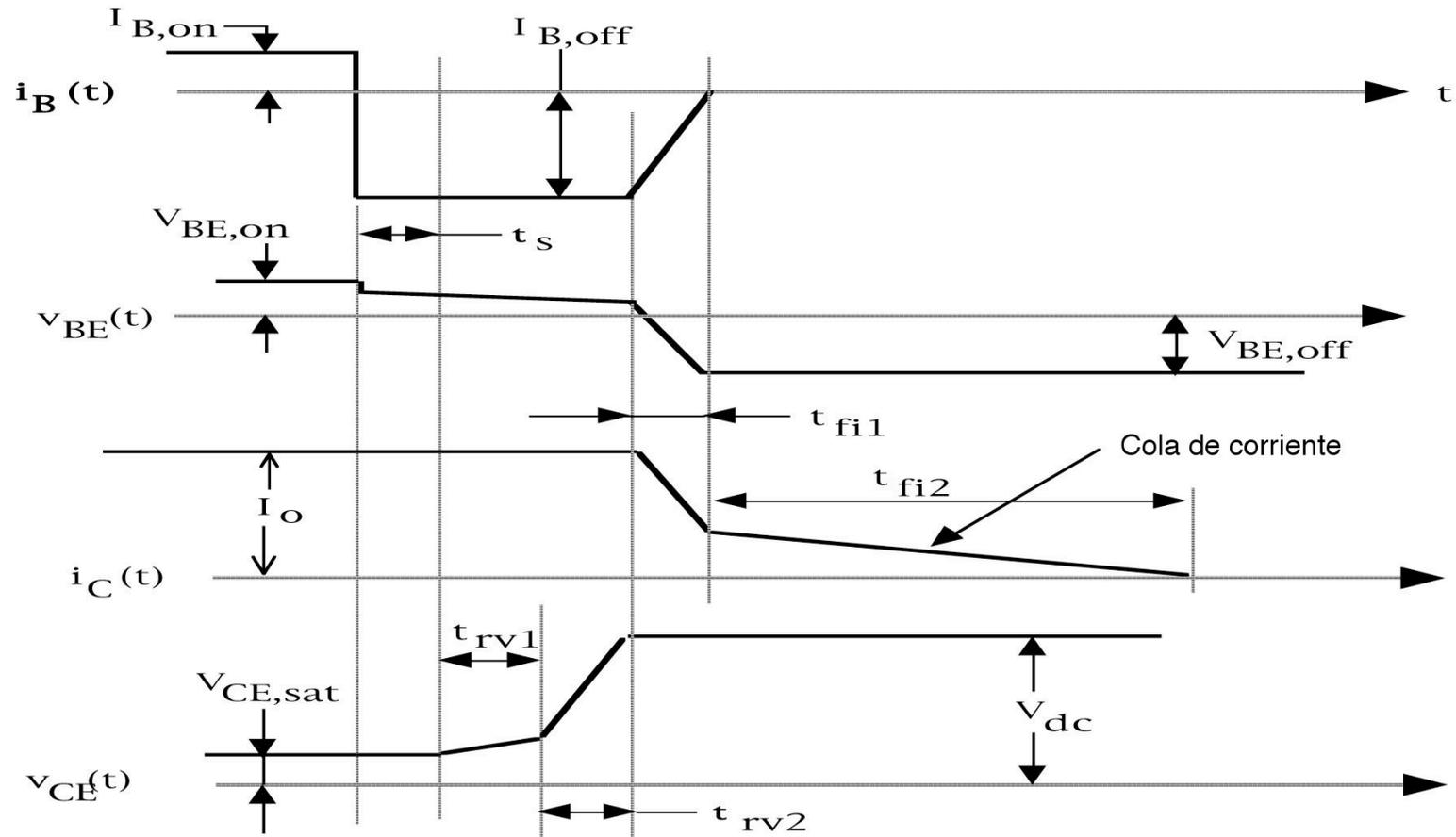
Etapas del proceso de apagado con corriente de base controlada:

- 1.- Comienzo del proceso. La corriente de base externa empieza a reducirse con un $di_b(t)/dt$ definido por el circuito externo de control de base y alcanza un valor negativo que empieza a forzar la salida de portadores de la zona de base del BJT.
- 2.- Tiempo de almacenamiento (t_s). La corriente de base negativa extrae el exceso de carga acumulada en la zona de base extendida (Q_2). El voltaje v_{ce} continua en su valor de saturación profunda. El diodo auxiliar de libre conducción permanece polarizado en inverso y la corriente $i_{ce}(t)$ permanece en el valor fijado por el circuito externo de carga.

3.- Operación en la zona de cuasi-saturación (t_{rv1}). La corriente de base negativa continua extrayendo la carga acumulada en la zona de base extendida (Q_1). El BJT sale de saturación profunda y voltaje v_{ce} empieza a subir. El diodo sigue polarizado en inverso y la corriente $i_{ce}(t)$ no cambia.

4.- Operación en la zona activa (t_{rv2}). La corriente de base negativa termina de extraer la carga acumulada en la zona de base extendida, el BJT entra en la zona activa y la tensión v_{ce} crece rápidamente hasta alcanzar el valor de la tensión de alimentación. El diodo sigue polarizado en inverso y la corriente $i_{ce}(t)$ no cambia.

5.- Caída de corriente (t_{fi}). Una vez que v_{ce} alcanza el valor de la tensión externa, el diodo auxiliar de libre conducción puede entrar en conducción, abriendo un camino alternativo para la corriente de carga. Esto permite que la corriente i_{ce} en el BJT caiga rápidamente a cero, terminando el proceso de apagado, mientras la corriente de base cae a cero y la juntura base-emisor entra en polarización inversa.



Formas de onda en el BJT durante en proceso de apagado brusco.

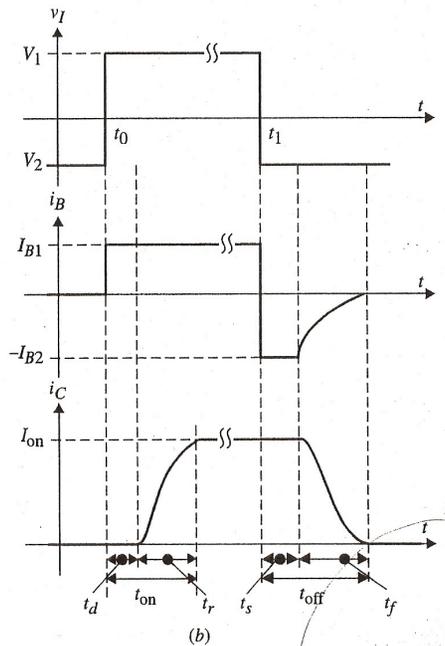
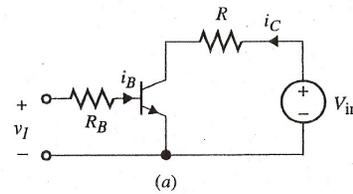
Etapas del proceso de apagado brusco:

1.- Etapas iniciales. El proceso de apagado brusco empieza de forma similar al proceso de apagado controlado. La corriente de base negativa extrae portadores y reduce las cargas almacenadas en la región de base y la región de base extendida. Al ser la corriente mayor, los tiempos de almacenamiento se reducen y el voltaje v_{ce} alcanza el valor de la tensión externa antes que en el proceso controlado.

2.- Comienzo de la caída de corriente (t_{fi1}). La corriente i_{ce} en el BJT y la corriente de base empiezan a caer rápidamente. Los portadores de la región de la base son totalmente desplazados y la juntura base-emisor entra en bloqueo inverso antes de que los portadores remanentes en la antigua región de base extendida hayan sido removidos.

3.- Etapa de la cola de corriente (t_{fi2}). Los portadores atrapados mantienen una corriente i_{ce} hasta que desaparecen por recombinación. Este proceso es largo, y durante el mismo las pérdidas en la juntura son elevadas.

El proceso de apagado brusco es en general más largo que el proceso de apagado controlado, y las pérdidas por conmutación son mayores, por lo que debe ser evitado.



Tiempos de conmutación: circuito usado por el fabricante para las mediciones y formas de onda.

Definición de los tiempos de conmutación.

a.- t_d . Tiempo de retardo (delay time). Es el tiempo que transcurre entre el momento en el que el frente de subida de la corriente de base alcanza el 10% de su valor final y el momento en el que el frente de subida de la corriente de colector-emisor alcanza el 10% de su valor final.

b.- t_r . Tiempo de subida (rise time). Es el tiempo que transcurre entre el momento en el cual el frente de subida de la corriente de colector-emisor alcanza el 10% de su valor final y el momento en que alcanza el 90% de su valor final.

c.- t_s . Tiempo de almacenamiento (storage time). Es el tiempo que transcurre entre el momento en el que el frente de bajada de la corriente de base alcanza el 90% de su valor final y el momento en el que el frente de bajada de la corriente de colector-emisor alcanza el 90% de su valor final.

d.- t_f . Tiempo de caída (fall time). Es el tiempo que transcurre entre el momento en el cual el frente de bajada de la corriente de colector-emisor alcanza el 90% de su valor final y el momento en que alcanza el 10% de su valor final.

En algunos casos el fabricante no especifica estos cuatro tiempos en forma independiente, sino que informa sobre los valores del tiempo de retardo de encendido (t_{on}) y el tiempo de retardo de apagado (t_{off}).

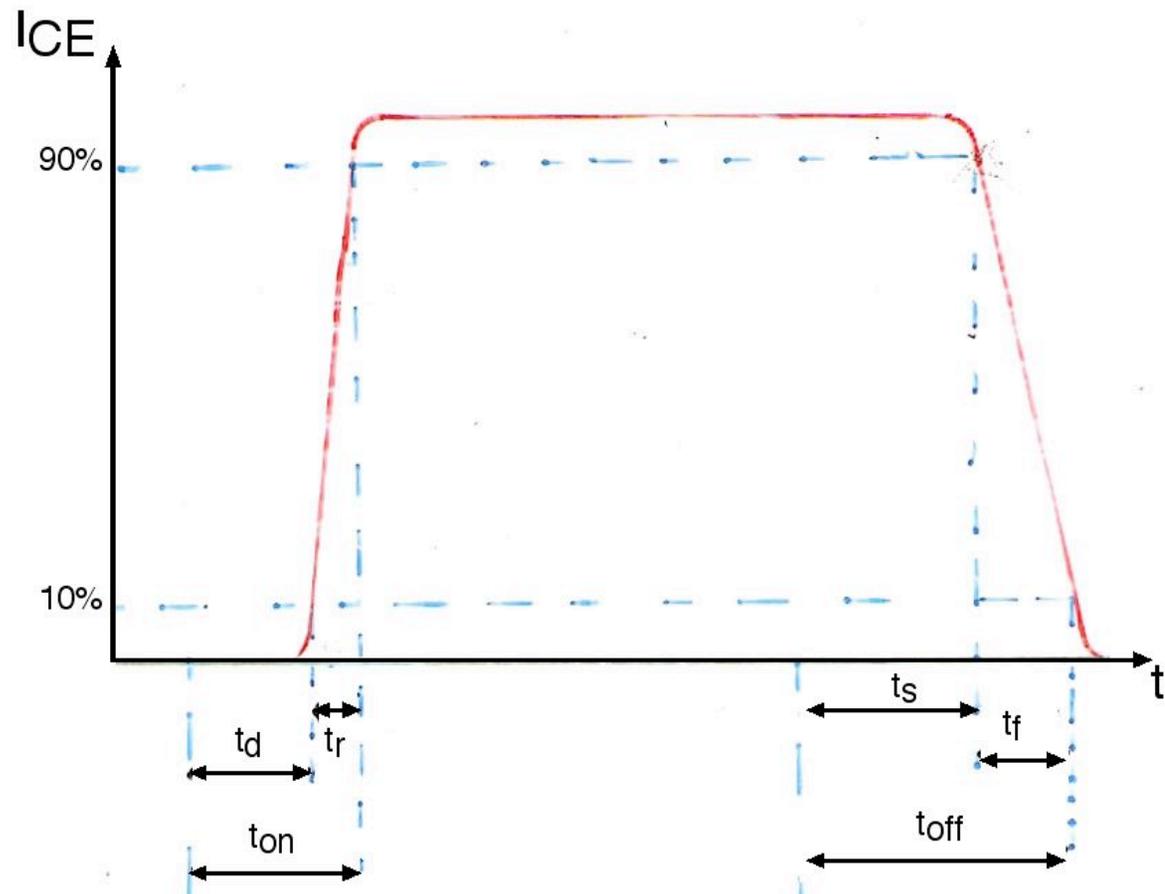
En este caso se cumple que:

$$t_{on} = t_d + t_r$$

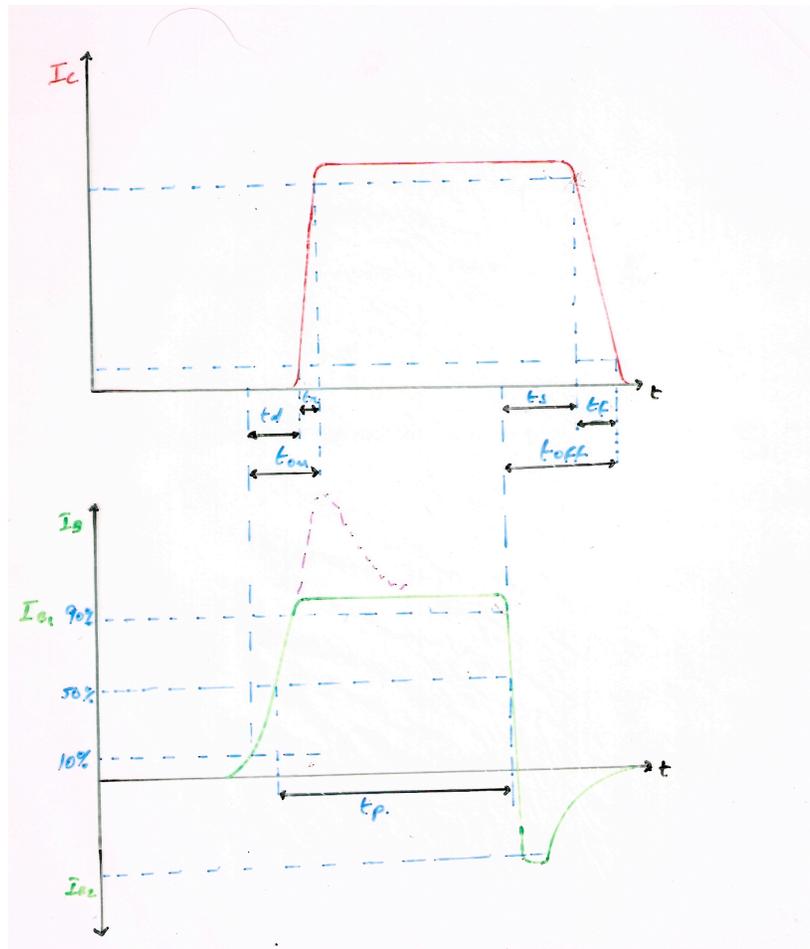
$$t_{off} = t_s + t_f$$

Los tiempos de conmutación se especifican para una forma de onda de la corriente de base determinada, con frentes de subida y bajada muy rápidos (usualmente del orden de 50ns), para carga resistiva pura y en condiciones de tensión colector-emisor y temperatura de juntura determinadas.

El fabricante debe proporcionar gráficas que muestren la variación de los tiempos de conmutación en función de las variables que los afectan.



Definición de los tiempos de conmutación.



Relación entre los pulsos de corriente de base, I_B y corriente de colector I_C en un BJT en régimen de gran señal.

Pérdidas en operación del transistor bipolar de potencia.

Considerando una aplicación genérica con tiempo de ciclo T , la potencia disipada en pérdidas de conducción, P_p , en el dispositivo principal de control (un BJT en este caso) resulta:

$$P_p = \frac{1}{T} \int_0^T v_{ce}(\tau) i_{ce}(\tau) d\tau$$

Usualmente las pérdidas se evalúan en forma aproximada dividiendo el período de conducción en cuatro intervalos: conducción, bloqueo, conmutación de encendido y conmutación de apagado, simplificando dentro de lo posible los cambios de las variables $v_{ce}(t)$ e $i_{ce}(t)$ en cada uno de los cuatro intervalos considerados.

1.- Pérdidas en conducción, P_{on} :

$$P_{on} = v_{cesat} I_{ce} \frac{t_{on}}{T}$$

donde:

v_{cesat} es la tensión colector emisor de saturación

I_{ce} es la corriente colector emisor en saturación (usualmente igual a la corriente de carga).

t_{on} es el tiempo durante el cual el transistor esta encendido en cada ciclo de trabajo.

T es la duración del ciclo de trabajo del transistor.

2.- Pérdidas en bloqueo, P_{off} :

$$P_{off} = V_{ce} I_{cef} \frac{t_{off}}{T}$$

donde:

V_{ce} es la tensión colector emisor durante el tiempo de bloqueo, usualmente aproximadamente igual a la tensión de la fuente

I_{cef} es la corriente de fuga colector emisor cuando el BJT está apagado.

t_{off} es el tiempo durante el cual el transistor esta bloqueando en cada ciclo de trabajo.

T es la duración del ciclo de trabajo del transistor.

3.- Pérdidas en las conmutaciones de encendido, P_{con} :

$$P_{con} = \left[\left(\int_0^{t_{si}} V_{ce} i_{ces}(\tau) d\tau \right) + \left(\int_0^{t_{bv}} v_{ceb}(\tau) I_{ce} d\tau \right) \right] f_c$$

donde:

$i_{ces}(\tau)$ es la forma de onda de subida de la corriente durante la primera fase del encendido, usualmente aproximada por una línea recta.

$v_{ceb}(\tau)$ es la forma de onda de bajada de la tensión durante la segunda fase del encendido, usualmente aproximada por una línea recta.

f_c es frecuencia de conmutación del transistor.

4.- Pérdidas en las conmutaciones de apagado, P_{coff} :

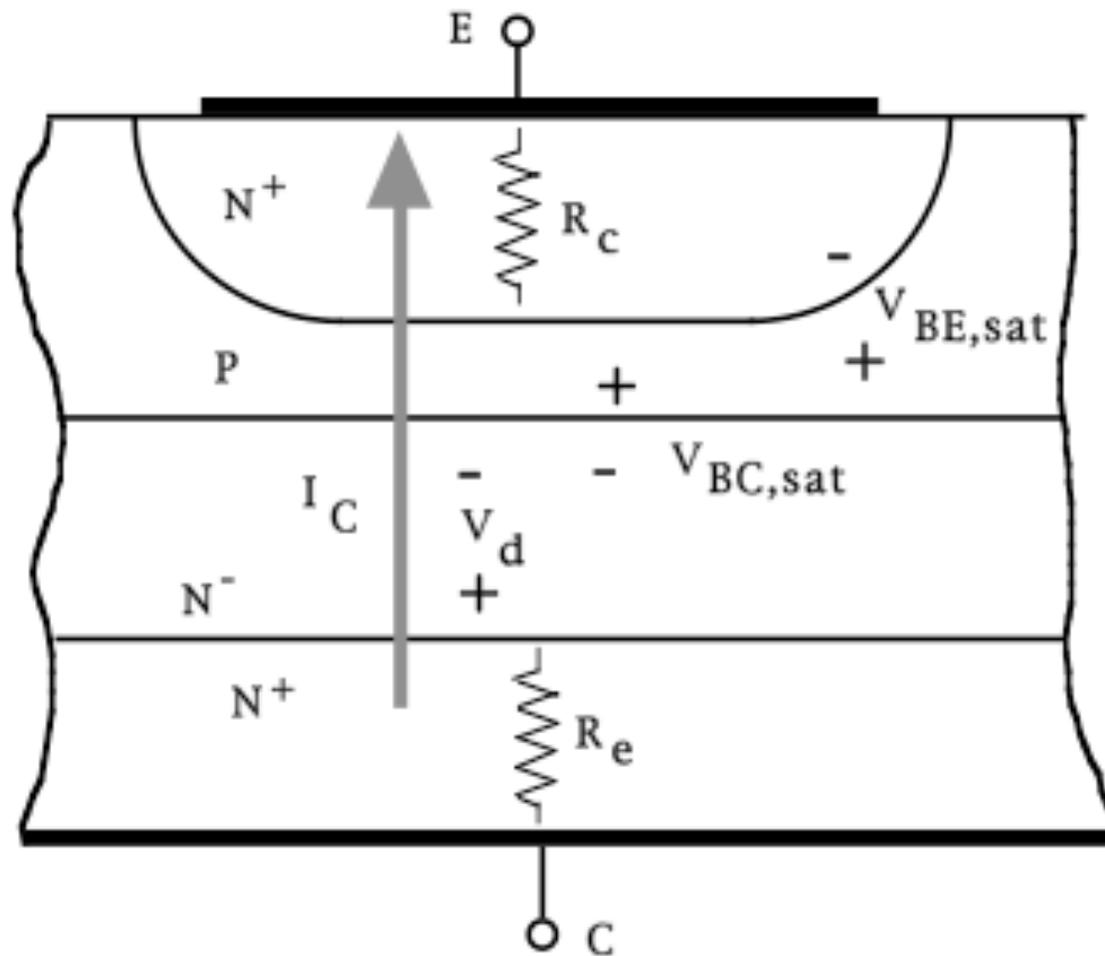
$$P_{\text{coff}} = \left[\left(\int_0^{t_{sy}} v_{ces}(\tau) I_{ce} d\tau \right) + \left(\int_0^{t_{bi}} V_{ce} i_{ceb}(\tau) d\tau \right) \right] f_c$$

donde:

$v_{ces}(\tau)$ es la forma de onda de subida de la tensión durante la primera fase del apagado, usualmente aproximada por una línea recta.

$i_{ceb}(\tau)$ es la forma de onda de bajada de la corriente durante la segunda fase del apagado, usualmente aproximada por una línea recta.

f_c es frecuencia de conmutación del transistor.



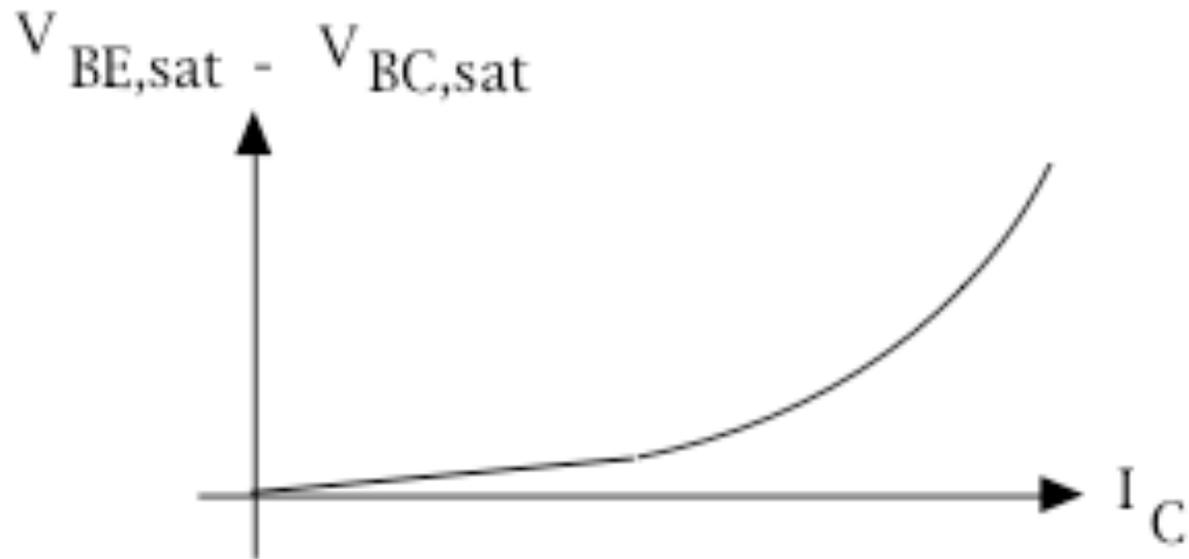
Esquema de distribución de los elementos que generan las pérdidas en conducción (P_{on}) en un BJT de potencia

Las pérdidas en conducción en un BJT de potencia están dadas por:

$$P_{on} = I_{CE} V_{CEsat}$$

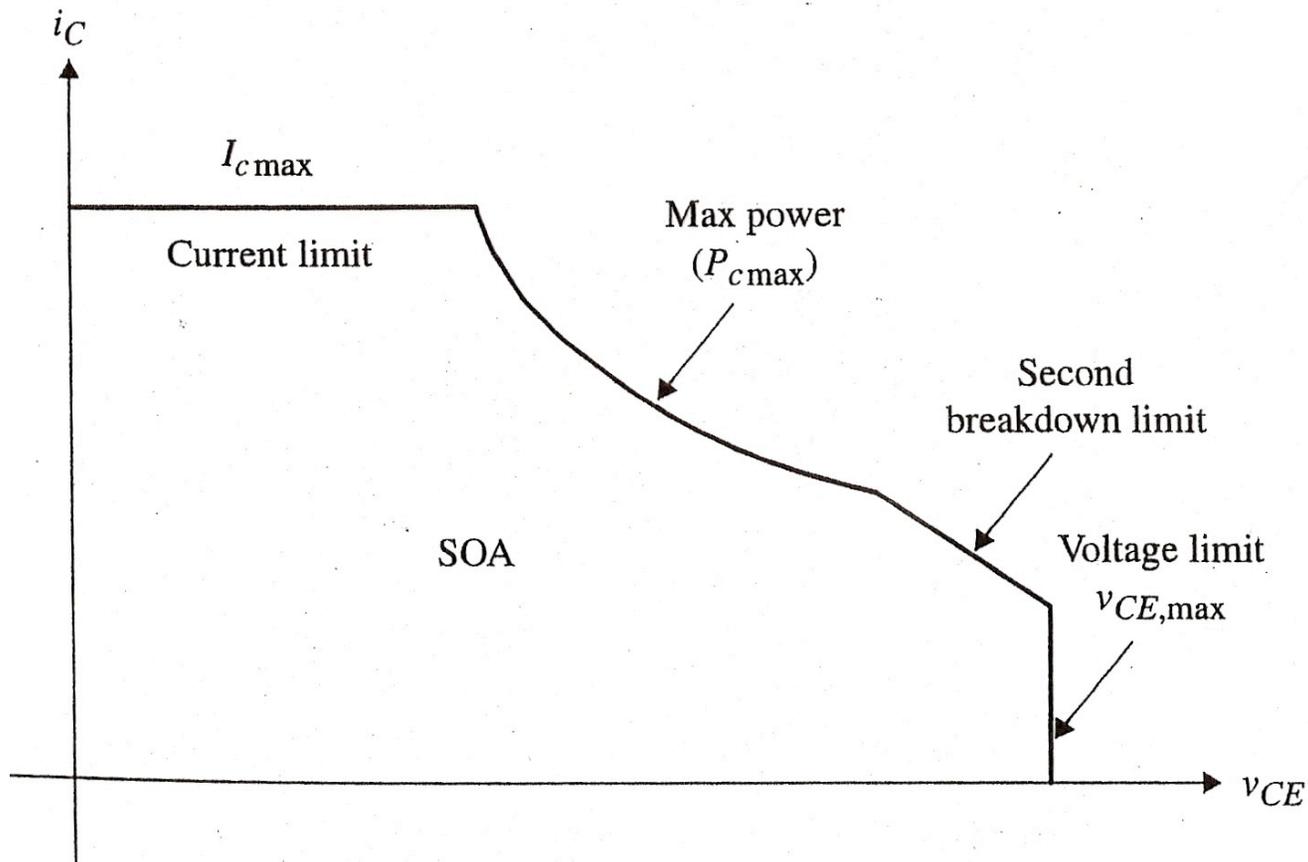
$$V_{CEsat} = V_{BEsat} - V_{BCsat} + V_d + I_{CE}(R_c + R_e)$$

El valor V_{CEsat} crece rápidamente cuando la corriente de colector se hace excesiva, por lo que su medición puede ser usada para obtener una indicación de sobre corriente en el dispositivo.

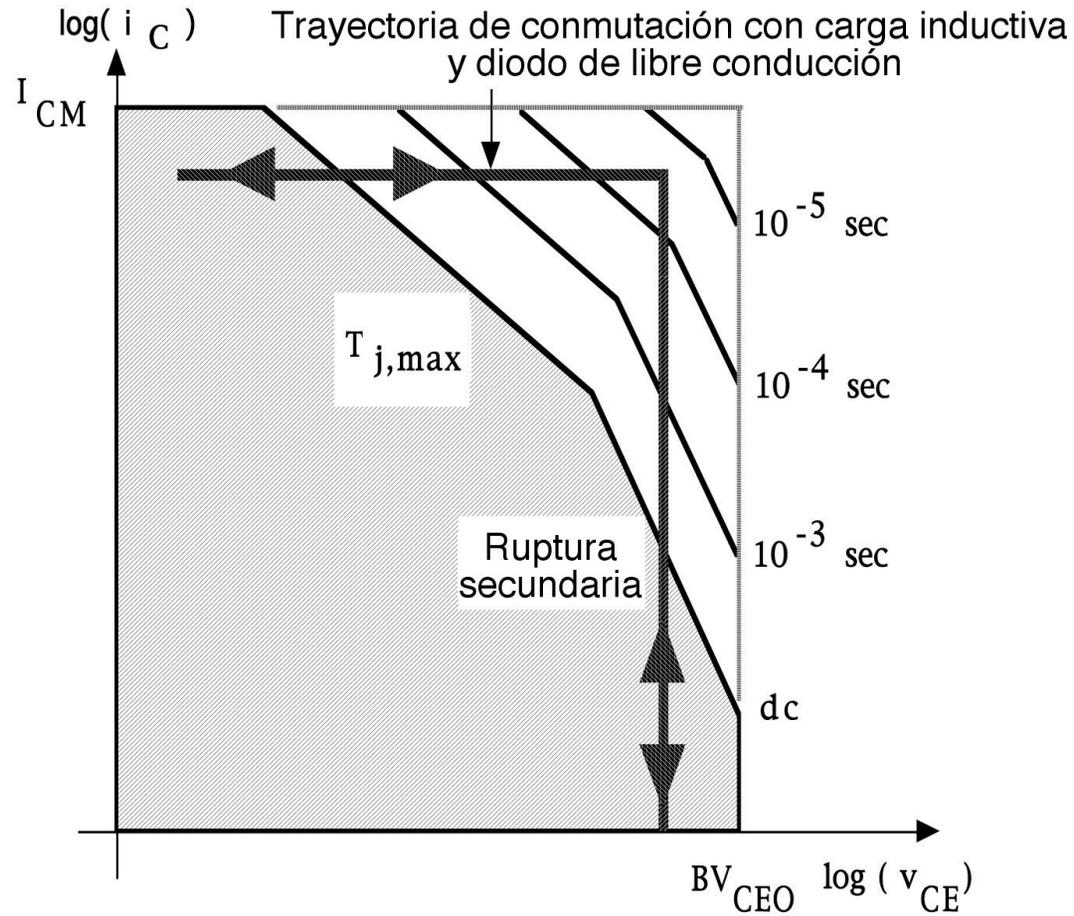


Relación entre $(V_{BEsat} - V_{BCsat})$ y la corriente del transistor

$(V_{BEsat} - V_{BCsat})$ es aproximadamente 0,1 a 0,2 a corrientes de colector moderadas.



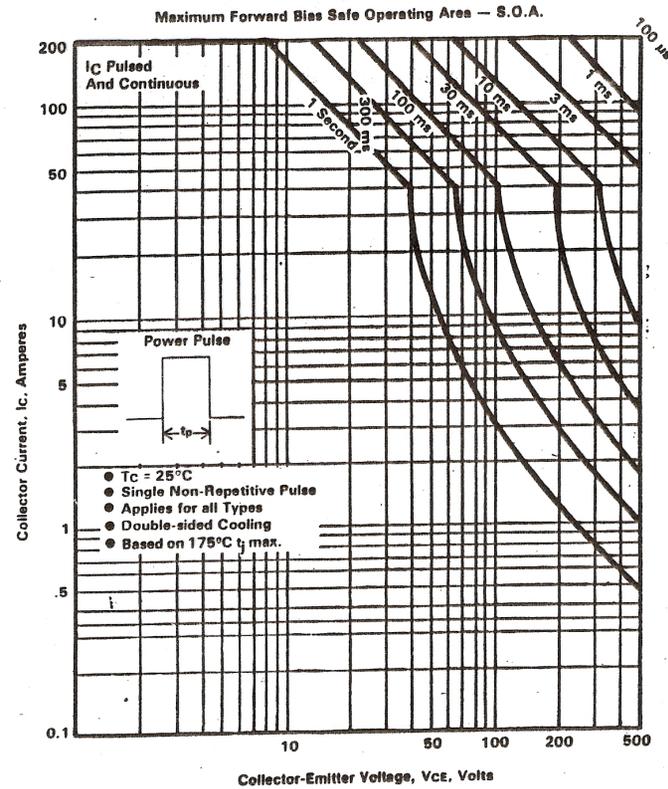
Límites de operación segura definidos sobre las características V-I de un BJT genérico en régimen de gran señal.



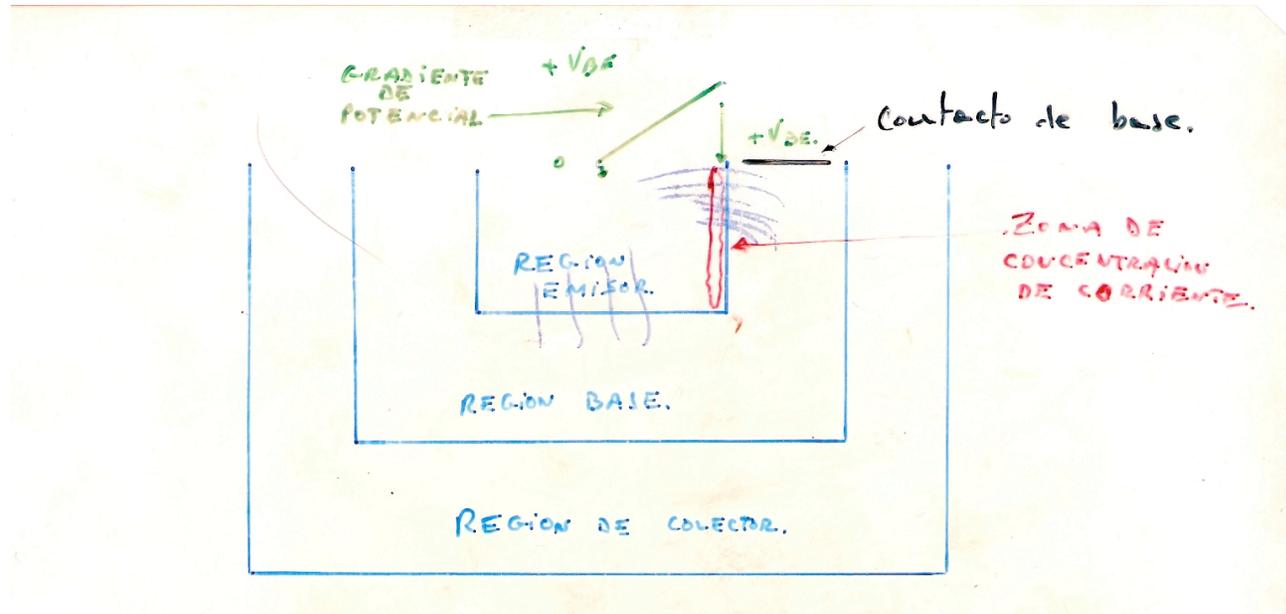
Área de operación segura (SOA) directa del BJT de potencia, en presentación logarítmica.

200 Amperes
400-500 Volts

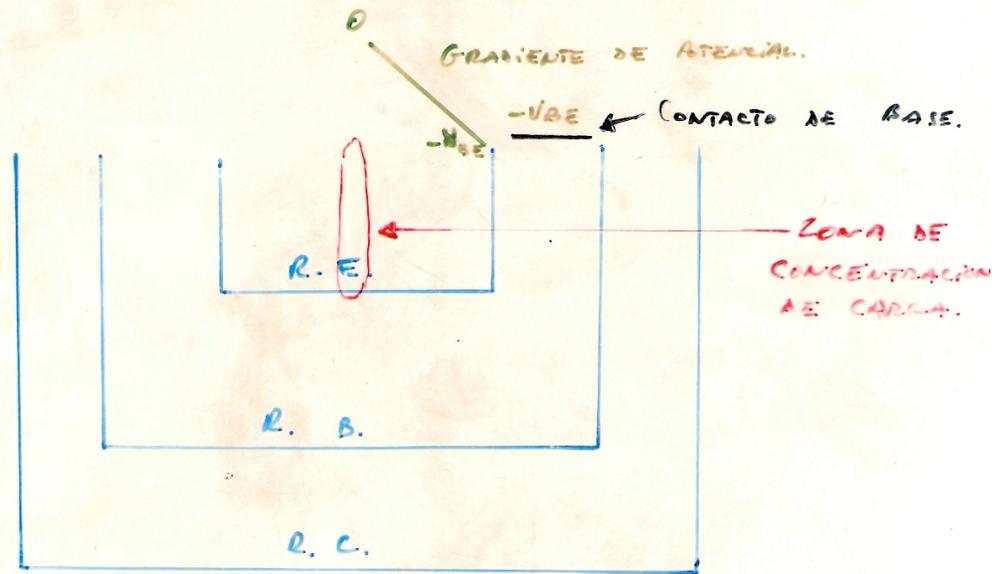
NPN Power Switching
TRANSISTORS
D62T



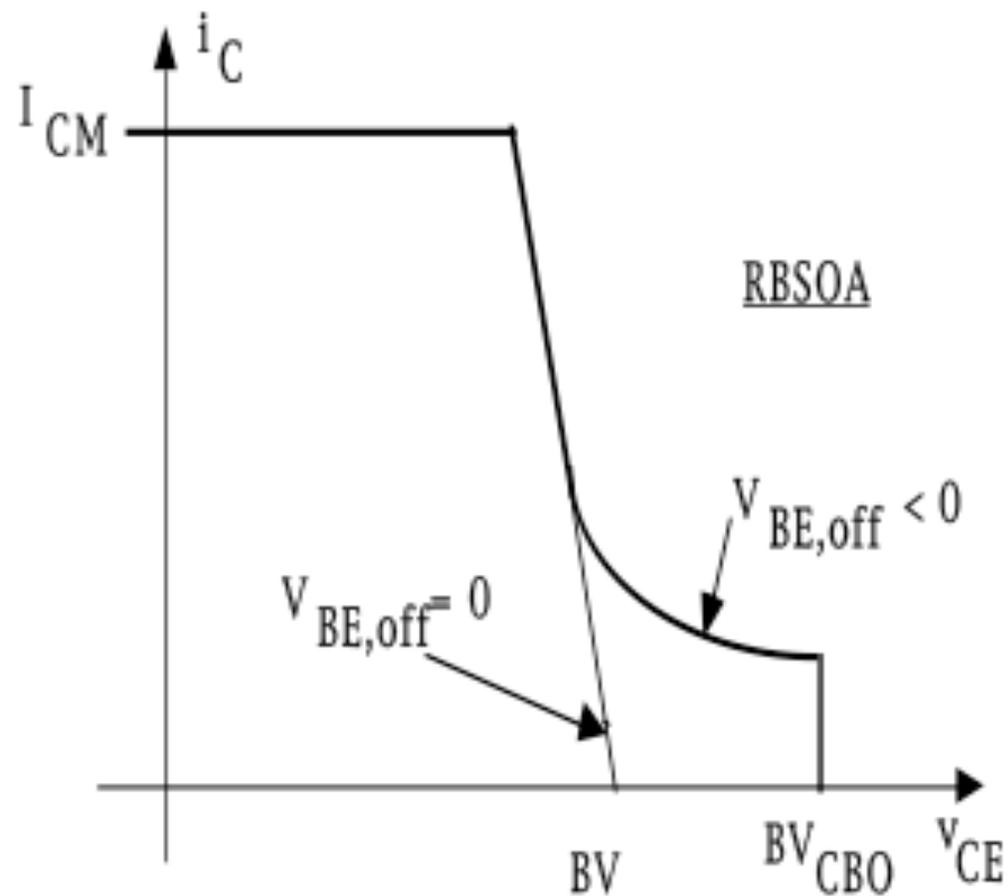
Gráfica de SOA de un BJT de gran potencia (D62T de Westinghouse)



Esquema de la concentración de corriente que produce la ruptura secundaria en polarización directa.



Esquema de la concentración de corriente que produce la ruptura secundaria en polarización inversa.

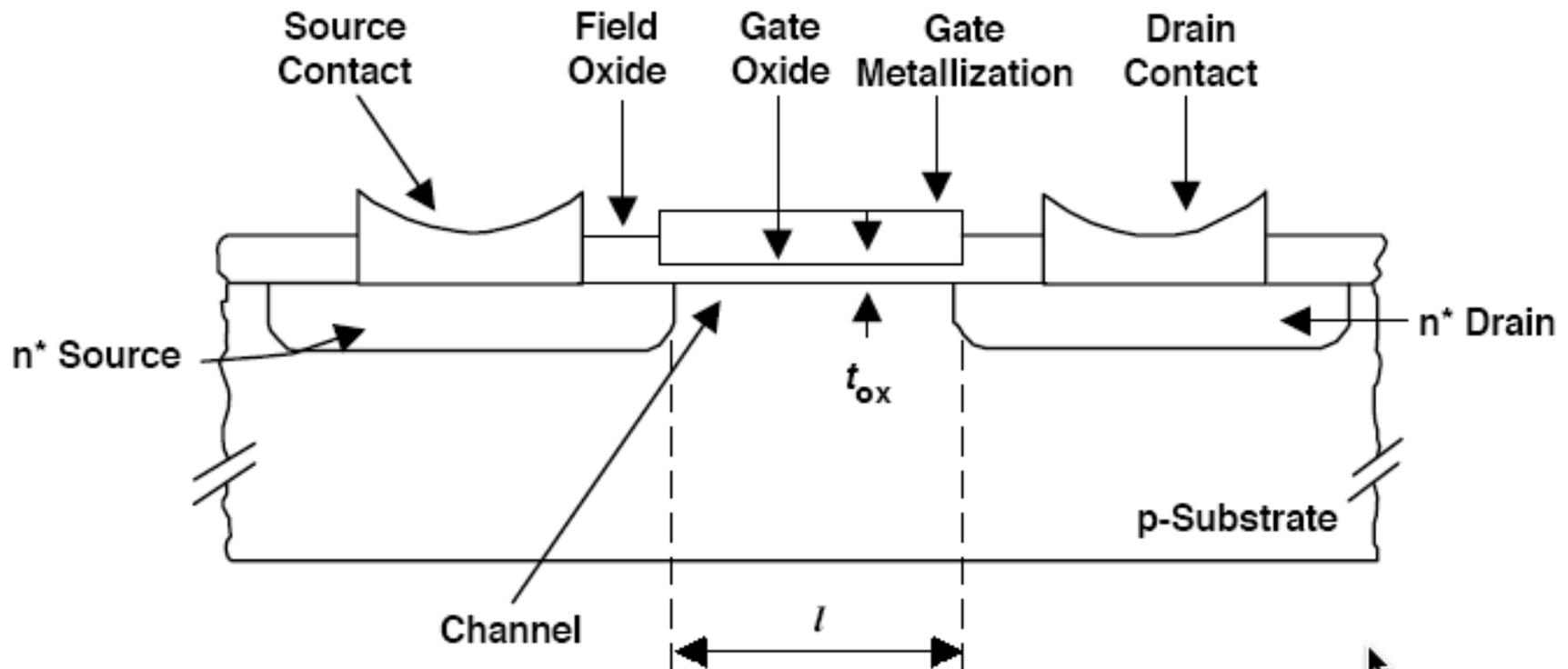


Área de operación segura (SOA) inversa del BJT de potencia.

Limitaciones de los transistores bipolares de juntura (BJT) de potencia:

- 1.- Dispositivos controlados por corriente, requieren una corriente de base relativamente grande (hasta 20% de la corriente de carga) durante todo el intervalo de conducción.
- 2.- Para lograr el apagado rápido es preciso extraer una corriente de base negativa relativamente grande y controlada, lo que requiere un circuito de manejo de base complejo.
- 3.- La presencia de portadores de los dos tipos (huecos y electrones) reduce la velocidad de conmutación, debido a la baja movilidad de los huecos.
- 4.- El efecto de ruptura secundaria (second breakdown) limita la zona de operación segura durante las conmutaciones.
- 5.- Riesgo de corrida térmica (thermal runaway), ya que la tensión en conducción decrece con la temperatura, lo que dificulta la conexión de BJTs en paralelo.

TRANSISTOR DE EFECTO DE CAMPO DE COMPUERTA AISLADA (POWERMOSFET)



Estructura de un transistor de efecto de campo de compuerta aislada (MOSFET) convencional

La corriente principal se desplaza en una franja superficial muy poco profunda (conducción horizontal), lo que dificulta operar con altas corrientes de carga.

Solución:

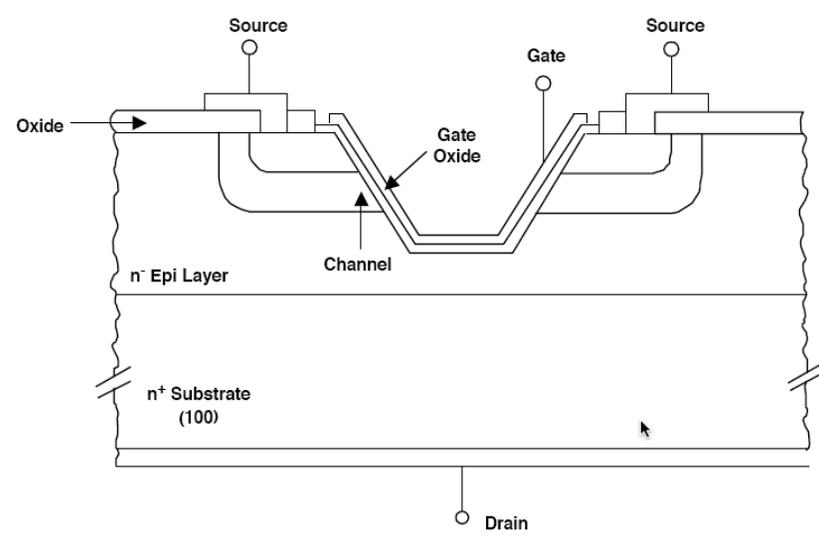
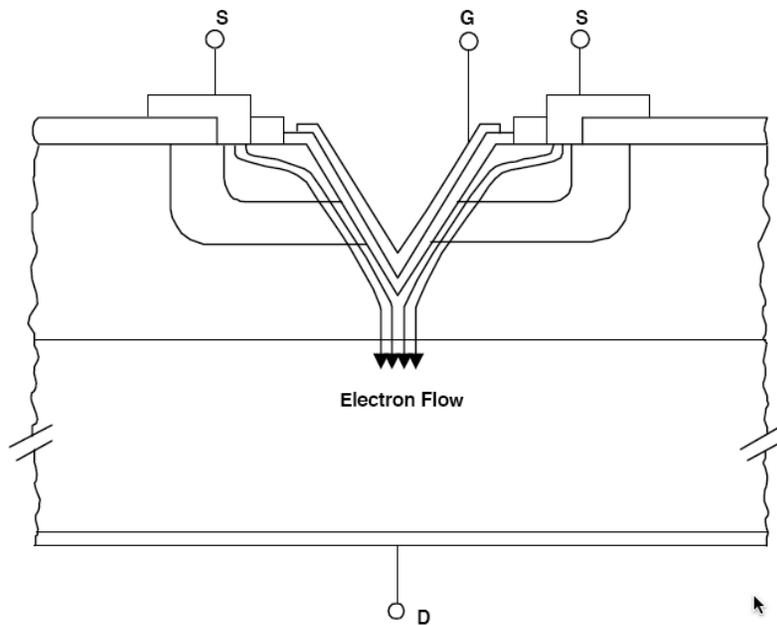
Modificar la topología básica del MOSFET para que la corriente principal tenga un recorrido esencialmente vertical, lo que unido a la inexistencia del problema de “corrida térmica”, permitirá producir en el chip una estructura compuesta en la que la corriente de trabajo es llevada en forma conjunta por un arreglo de dispositivos elementales idénticos conectados en paralelo y fabricados simultáneamente empleando las técnicas de producción de circuitos integrados de alto nivel de integración (LSI).

Configuraciones posibles para los PowerMOSFETs:

1.- Estructura con trincheras: VMOS

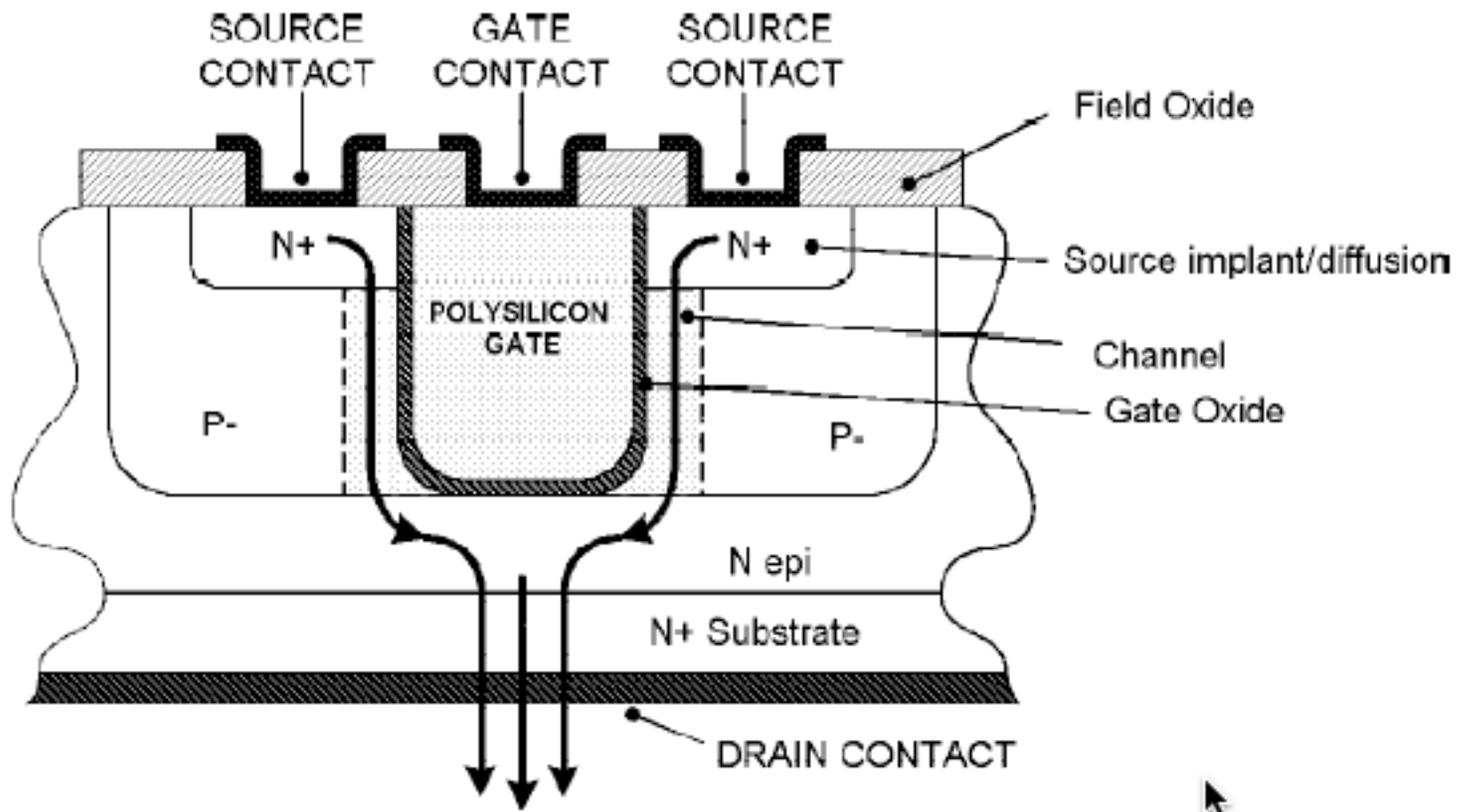
2.- Estructura de islas: HEXFETs, TFETs, DFETs.

Los dispositivos de trincheras fueron los primeros en llegar al mercado, pero la estructura de islas es más fácil de fabricar y no presenta esquinas que concentran los campos eléctricos y aumentan la posibilidad de falla, así que los de estructura de isla han reemplazado a los de trincheras.

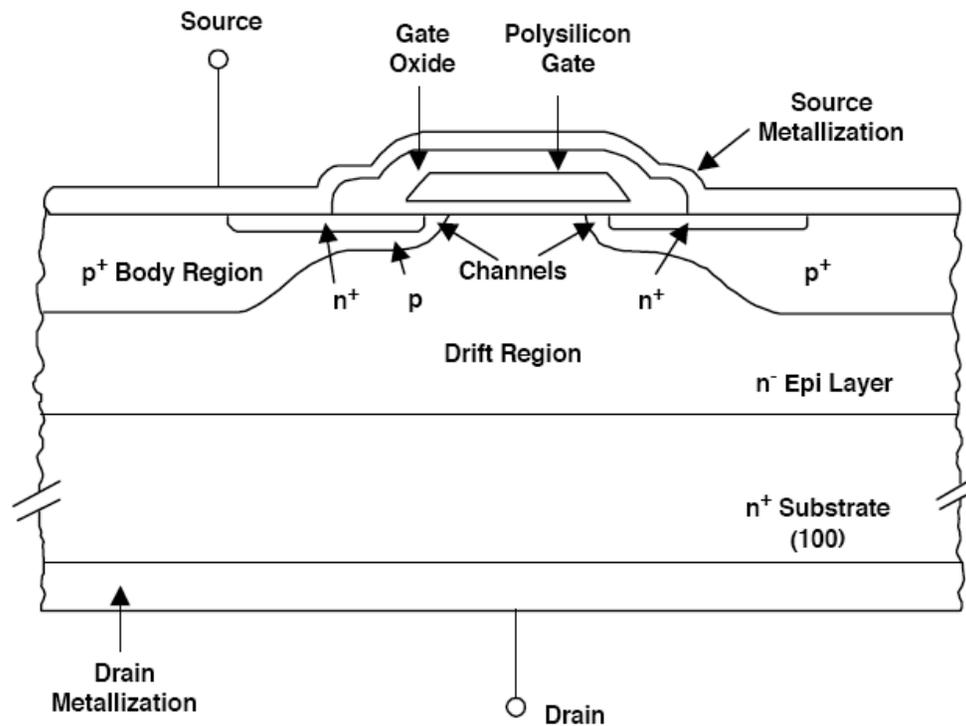


Estructura de una celda básica de conducción en dos tipos de transistores de efecto de campo de potencia (PowerMOSFET) de trinchera.

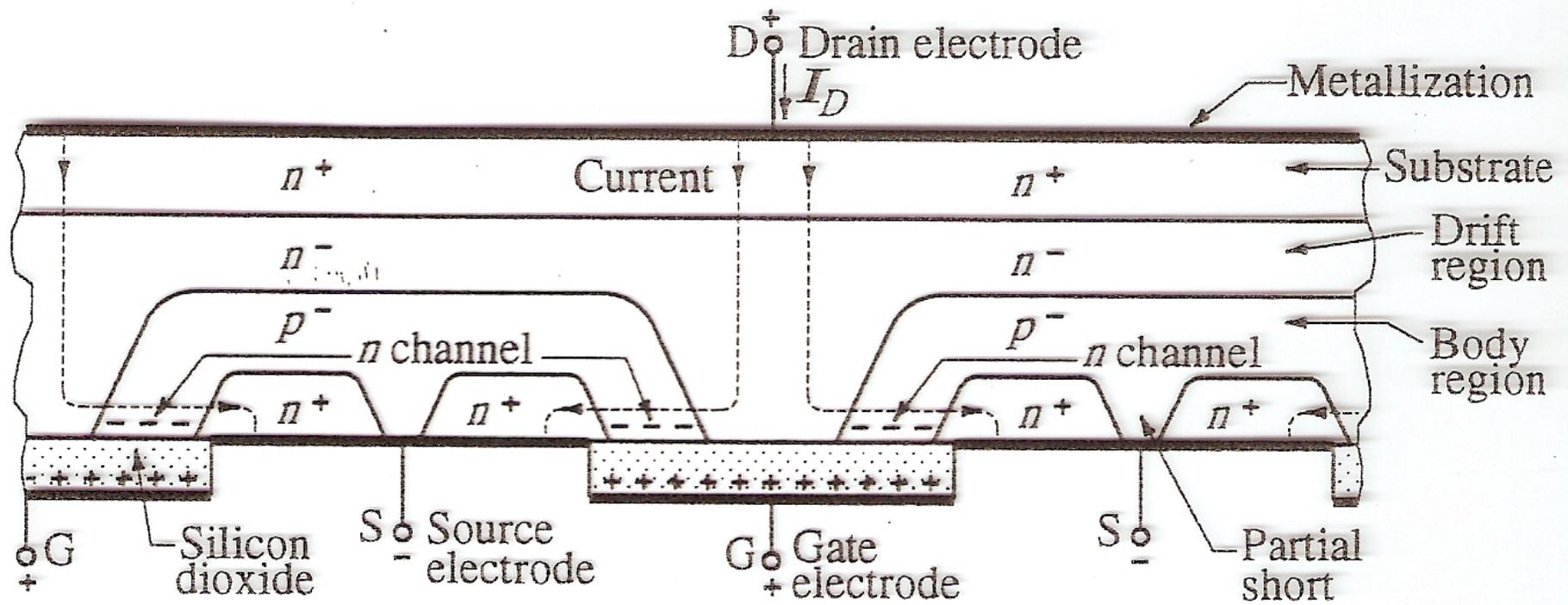
Izquierda: Trinchera completa. Derecha: Trinchera truncada.



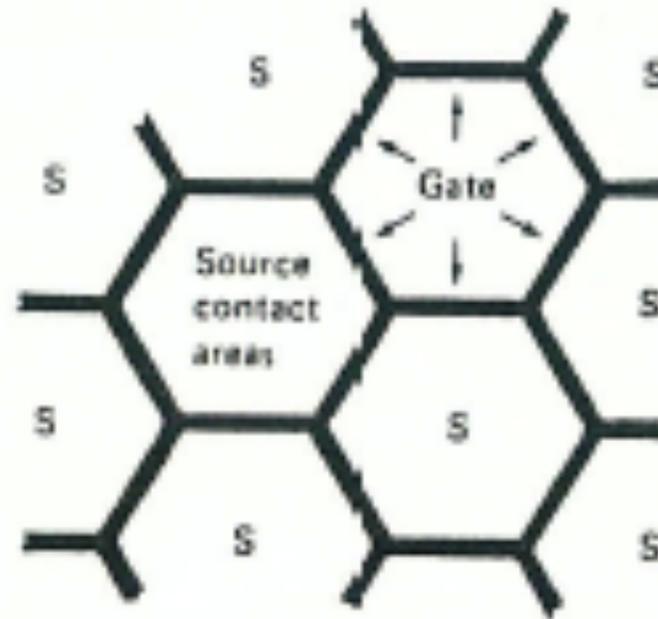
Corte de un POWERMOSFET de trinchera tipo compuerta enterrada.



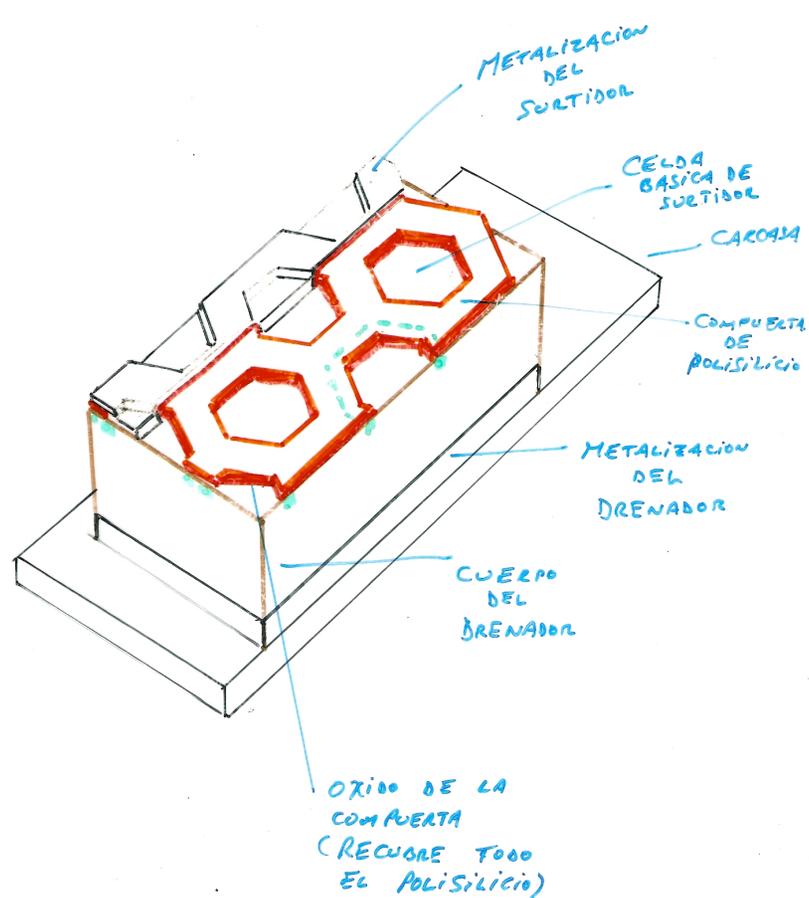
Corte vertical de una celda básica de conducción en un transistor de efecto de campo de potencia de estructura de isla (PowerMOSFET).



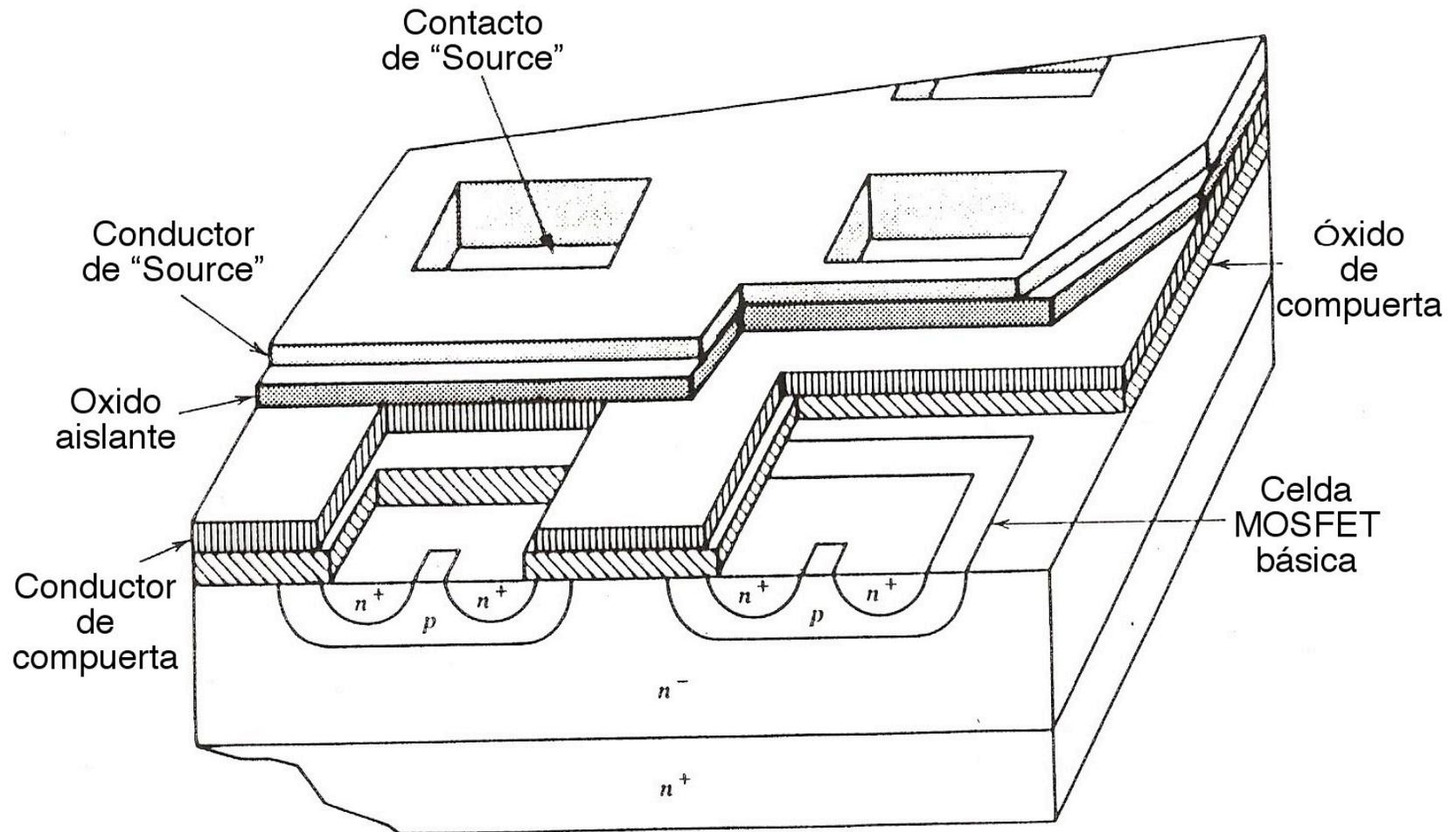
Esquema de voltajes y corrientes durante la conducción en un POWERMOSFET planar.



Distribución de los contactos de S y G en un PowerMOSFET de tipo "hexagonal" (HEXFET)



Detalle de la organización de las celdas básicas en un POWERMOSFET tipo HEXFET.

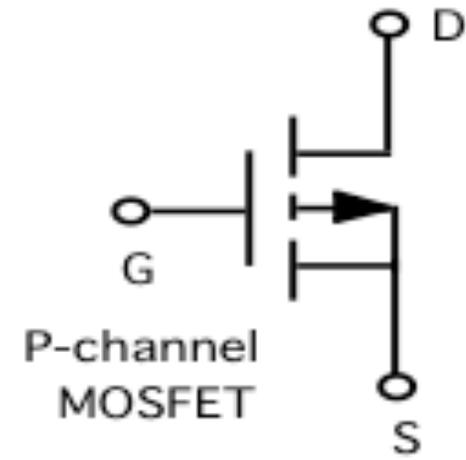
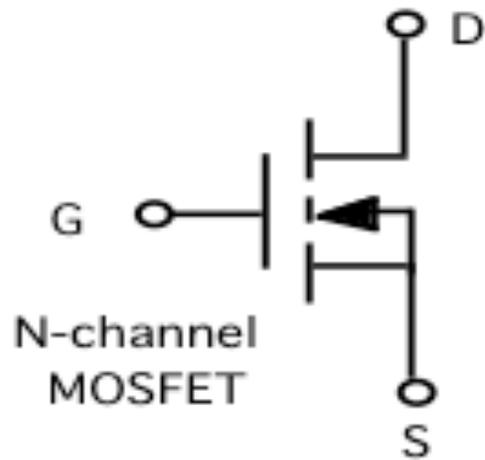


Corte de un POWERMOSFET tipo TFET (islas cuadradas).

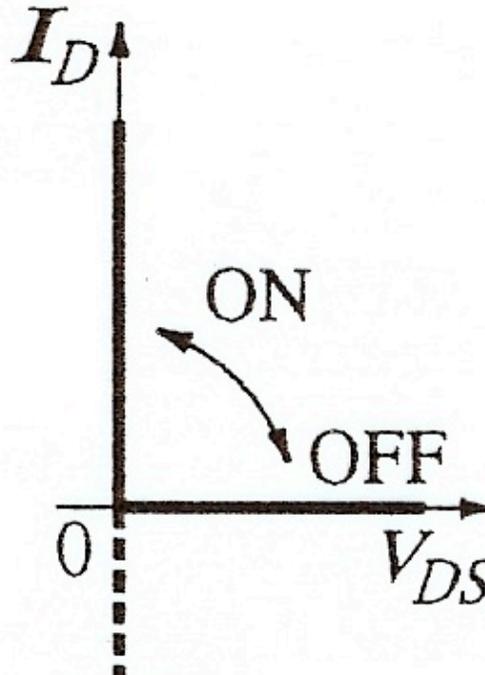
Si los dopados se intercambian, reemplazando los dopados tipo P por dopados tipo N y viceversa, el resultado es un transistor MOSFET de potencia tipo P.

Las características generales del MOSFET de potencia tipo P son similares al las del MOSFET de potencia tipo N, salvo en lo referente a la movilidad de los portadores mayoritarios (huecos en este caso), que es menor, lo cual significa que la velocidad de conmutación es menor en el MOSFET de potencia tipo P.

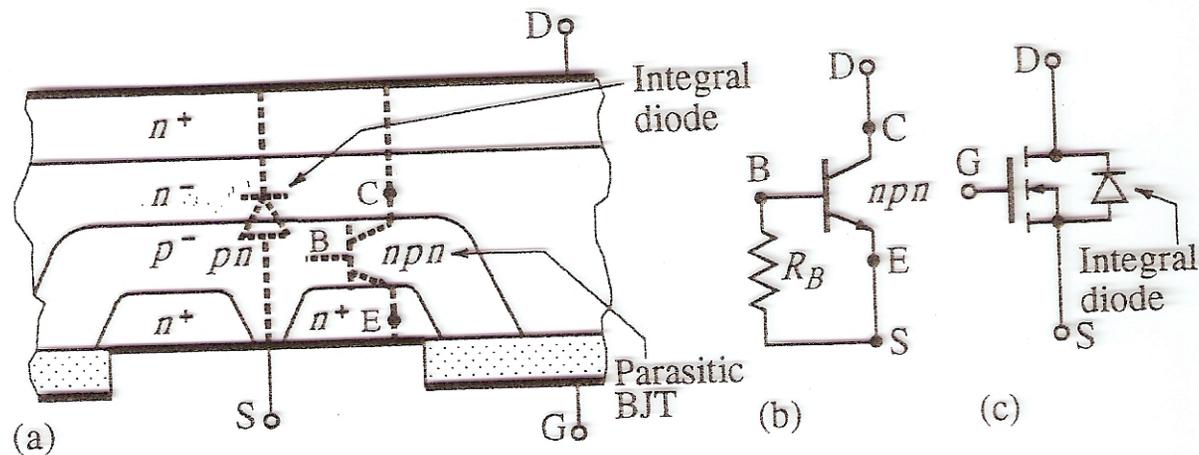
Debido a esto los MOSFET de potencia tipo P son poco usados, y no serán considerados en estas notas.



Símbolos circuitales de los MOSFETs de canal N (izquierda) y canal P (derecha).

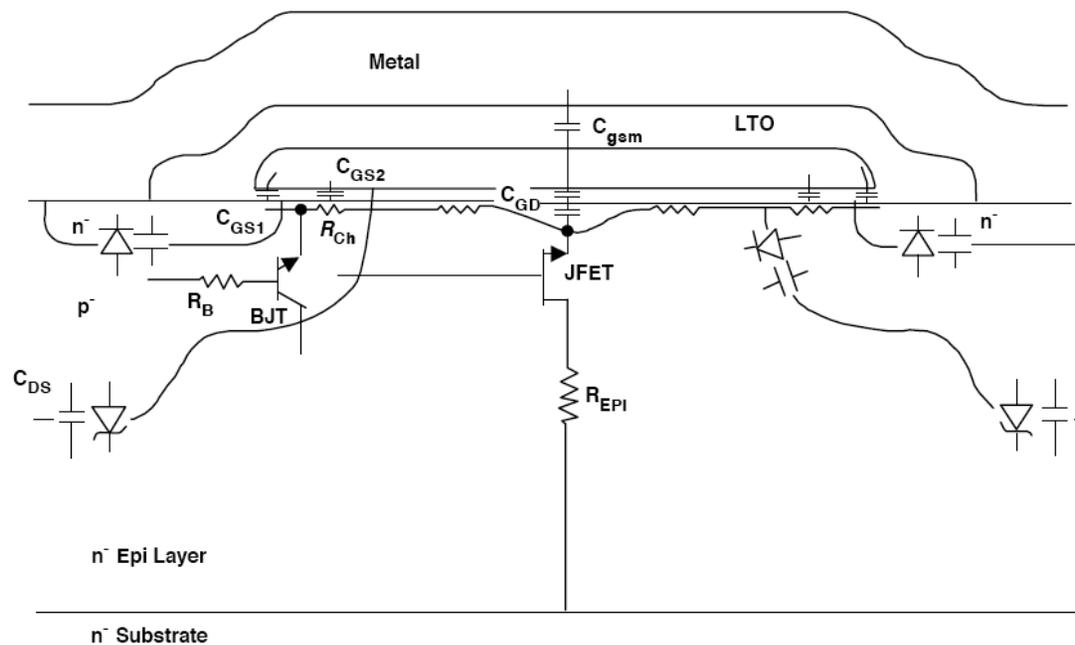


Características corriente/voltaje genéricas en un transistor de efecto de campo de potencia (PowerMOSFET)



Definición de los componentes circuitales adicionales básicos (diodo inverso y BJT parásito) en la estructura de un POWERMOSFET

- a) Corte del semiconductor.
- b) Circuito equivalente del BJT parásito
- c) Circuito equivalente principal, con el diodo intrínseco en antiparalelo al POWERMOSFET.



Elementos parásitos asociados con la estructura de un transistor de efecto de campo de potencia (PowerMOSFET) de conducción vertical

Efectos de los elementos parásitos sobre el comportamiento del PowerMOSFET

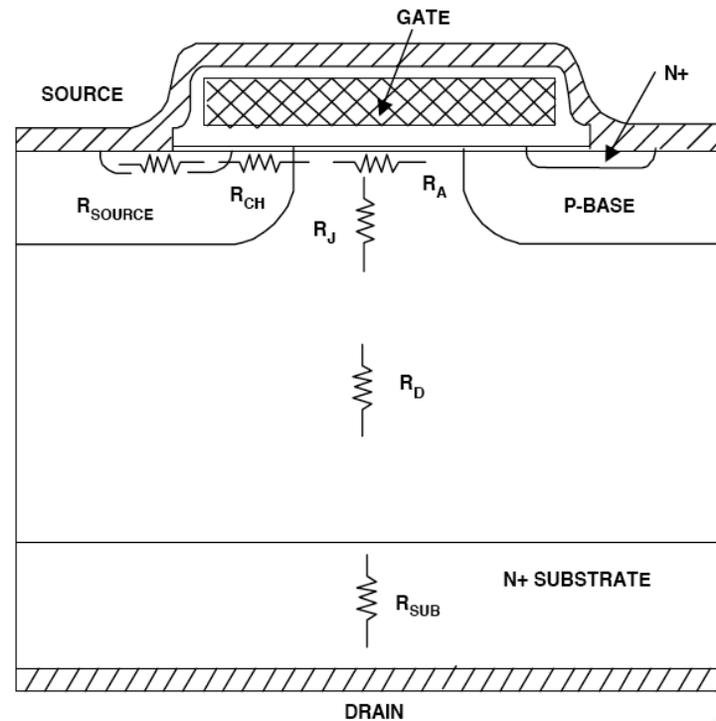
1.- El JFET restringe el flujo de corriente cuando la región de empobrecimiento de los dos diodos se extiende al aumentar la tensión de drenador (drain).

2.-El BJT puede producir encendidos indeseados y ruptura prematura.

3.- En igualdad de condiciones en lo relativo a superficie del dispositivo y corriente y tensión de operación, la caída en conducción en un PowerMOSFET es superior a la caída en un BJT de potencia en diseños donde el voltaje de ruptura de los dispositivos es mayor a 200 V.

Este problema se debe esencialmente a la resistencia en encendido del PowerMOSFET, $R_{DS(on)}$.

Elementos que componen la resistencia de encendido,
 $R_{DS(on)}$, de un transistor de efecto de campo de potencia
(PowerMOSFET)



$$R_{DS(on)} = R_s + R_{ch} + R_A + R_J + R_D + R_{sub} + R_m$$

$R_{DS(on)}$: Resistencia en conducción, medida entre los terminales D y S del dispositivo encapsulado

R_s : resistencia de la región de surtidor (source)

R_{ch} : Resistencia del canal (channel)

R_A : resistencia de la región de acumulación

R_J : Componente resistivo del JFET residual

R_D : Resistencia de la zona de deriva (drift)

R_{sub} : Resistencia del substrato

R_m : Resistencia acumulada de las metalizaciones y conductores metálicos

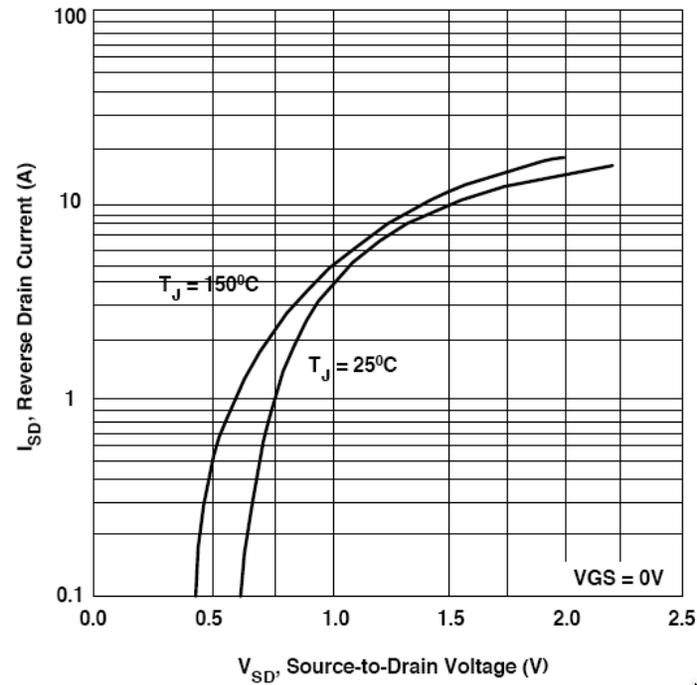
Caída en conducción, $V_{DS(on)}$:

$$V_{DS(on)} = R_{DS(on)} I_{DS(on)}$$

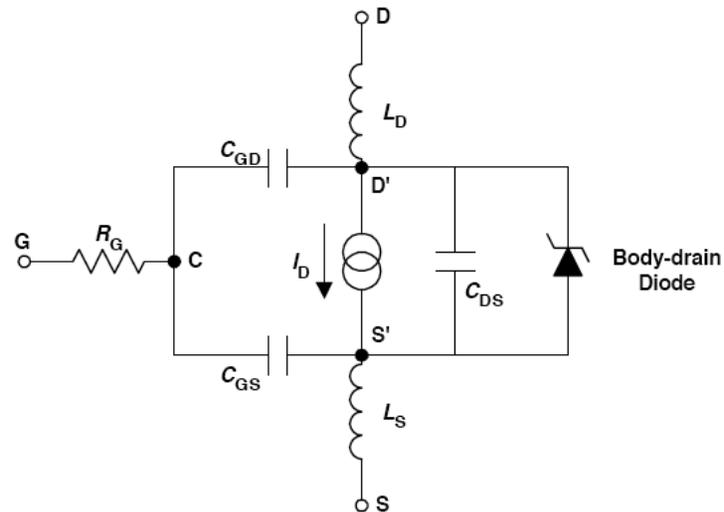
Pérdidas en conducción $P_{DS(on)}$:

$$P_{DS(on)} = V_{DS(on)} I_{DS(on)} = R_{DS(on)} (I_{DS(on)})^2$$

Curvas corriente/voltaje típicas del diodo de conducción inversa asociado con la estructura de un PowerMOSFET.



Circuito equivalente mostrando como elementos concentrados los componentes que afectan los procesos de conmutación en un PowerMOSFET:



R_g : resistencia de compuerta (gate)

C_{GS} : Capacidad compuerta/surtidor (gate/source)

C_{GD} : Capacidad compuerta/drenador (gate/drain)

L_D : Inductancia de los contactos de drenador (drain)

L_S : Inductancia de los contactos de surtidor (source)

Especificaciones básicas.

I.- Tensión de ruptura directa.

Determina la tensión drain-source máxima, BV_{DSS} , que puede ser aceptado por un MOSFET de potencia sin entrar en conducción por ruptura directa.

Dado que la estructura básica del MOSFET de potencia incluye un diodo en antiparalelo, el dispositivo carece de capacidad de bloqueo de tensión inversa en los terminales D-S.

II.- Corriente drain-source máxima, I_{DSM} .

Esta variable es dependiente de la temperatura de juntura del transistor, y suele ser especificada para una temperatura de juntura baja, usualmente 25° y para la máxima temperatura de juntura que puede soportar el transistor que, dependiendo de los especificaciones, puede estar entre 85° y 125° .

III.- Resistencia de encendido.

$R_{DS(on)}$ es la caída resistiva que aparece entre los terminales de Drain y Source cuando el dispositivo está encendido.

Esta relacionada con el valor de la tensión de bloqueo, V_{DS} , de acuerdo con la relación:

$$R_{DS} = KV_{DS}^e$$

donde K es una constante que depende del tamaño del dispositivo y el factor e depende del proceso de fabricación y está en el rango
 $2,2 < e < 2,7$

$R_{DS(on)}$ es el parámetro más importante en la definición de la capacidad de manejo de corriente del dispositivo en función de la máxima potencia disipable en una aplicación dada, P_{DM} .

La potencia disipada en la juntura, P_D , es:

$$P_D = I_D^2 R_{DS}$$

Luego:

$$I_{DM} = \sqrt{\frac{P_{DM}}{R_{DS}}}$$

donde la potencia máxima disipable a una temperatura de carcasa dada está determinada por la máxima temperatura de juntura que puede soportar el dispositivo y las características térmicas del encapsulado.

IV.- Transconductancia

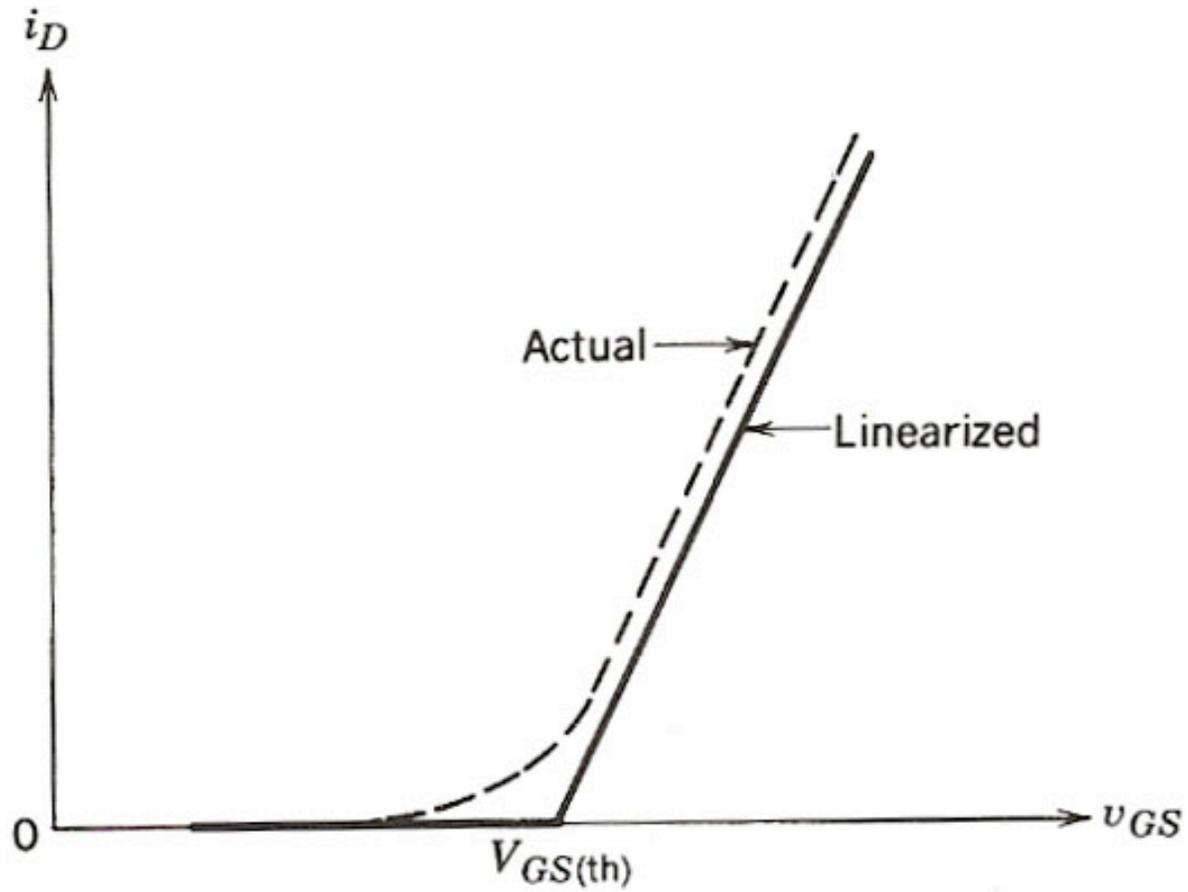
La transconductancia del MOSFET de potencia, g_{fs} , se define como:

$$g_{fs} = \frac{dI_{DS}}{dV_{gs}}$$

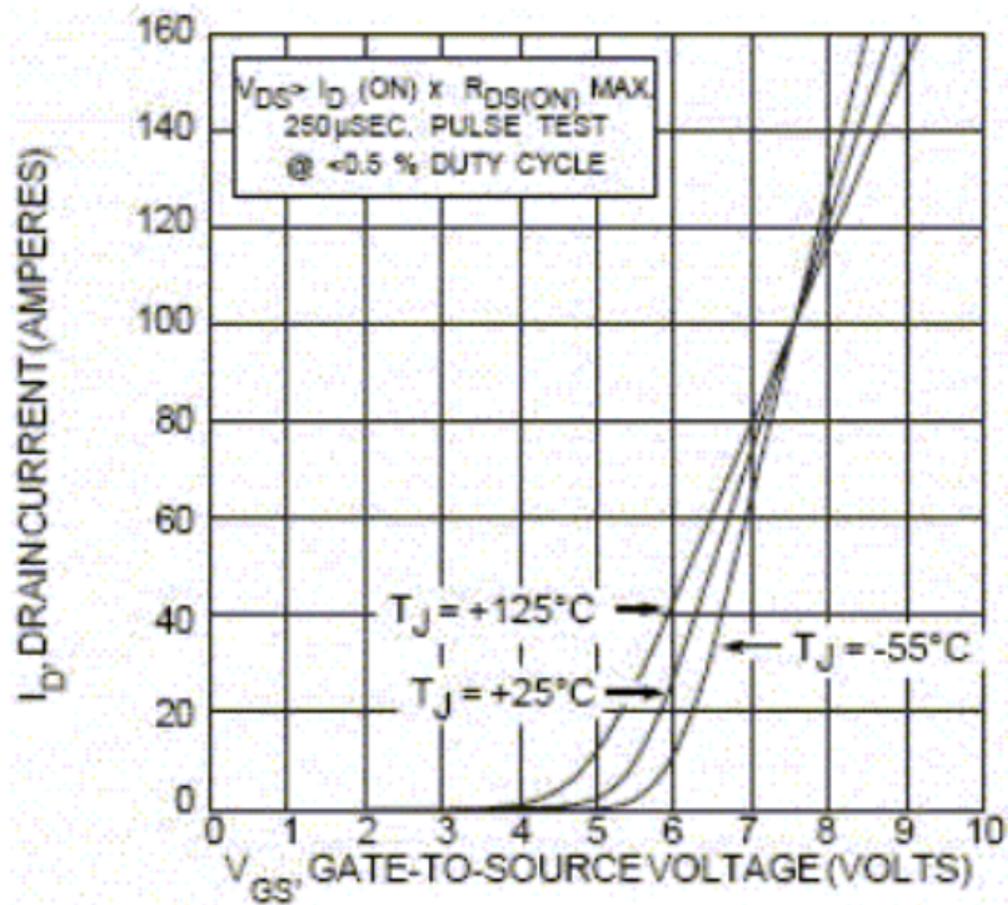
La transconductancia depende de la temperatura de juntura y del valor de I_{DS} que este circulando.

V.- Tensión de umbral.

La tensión de umbral, $V_{GSS(th)}$, es el valor de la tensión gate – source para el cual la corriente drain-source empieza a ser significativa.

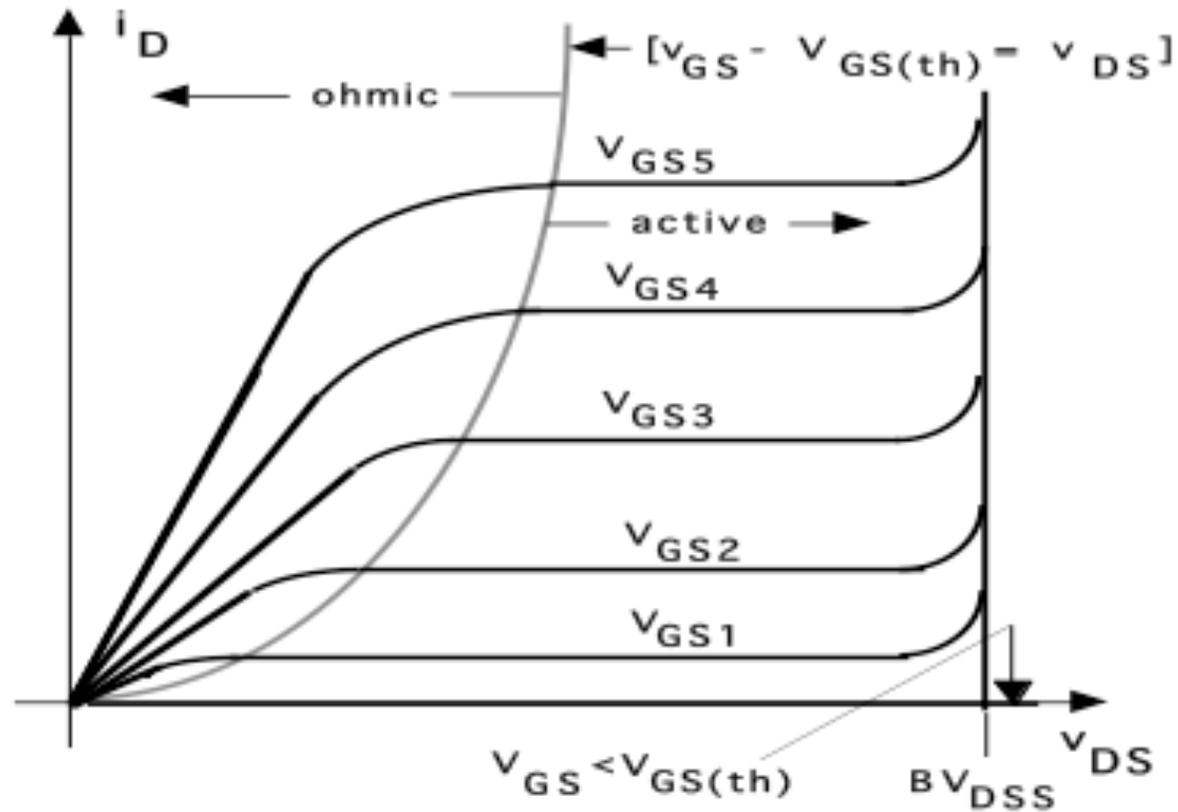


Relación típica (a trazos) y aproximada a trozos entre I_D , V_{gs} y $V_{GSS(th)}$.

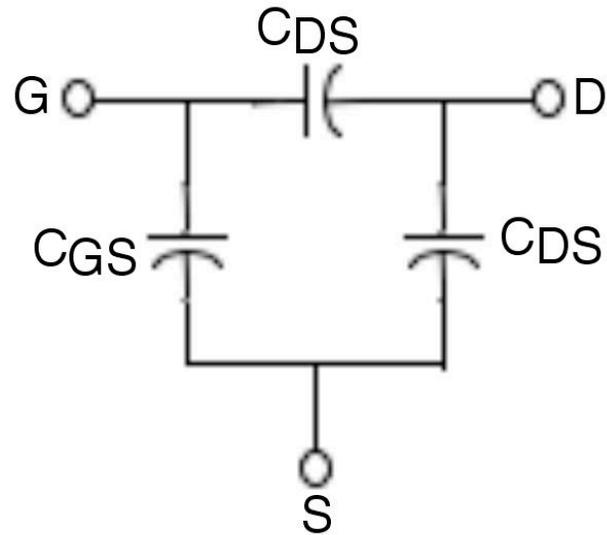


Relación real entre I_D , V_{gs} y $V_{GSS(th)}$.

Características corriente/voltaje ideales en un transistor de efecto de campo de potencia (PowerMOSFET)



VI.- Capacitancias.



Tal como se mostró en el modelo equivalente, en el MOSFET de potencia existen tres capacitancias:

- 1.- Capacitancia Gate-Source, C_{GS} .
- 2.- Capacitancia Gate-Drain, C_{GD} .
- 3.- Capacitancia Drain-Source, C_{DS} .

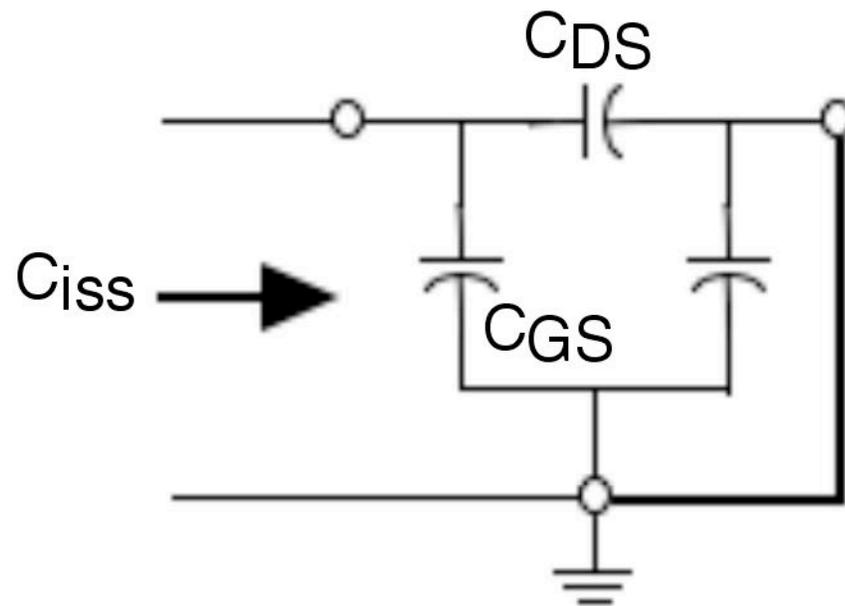
En general las tres capacitancias dependen de la geometría del dispositivo y son independientes de la temperatura de juntura.

Adicionalmente, las capacitancias C_{GD} y C_{DS} son función de las tensiones V_{DS} y V_{GS} , y de la frecuencia de conmutación.

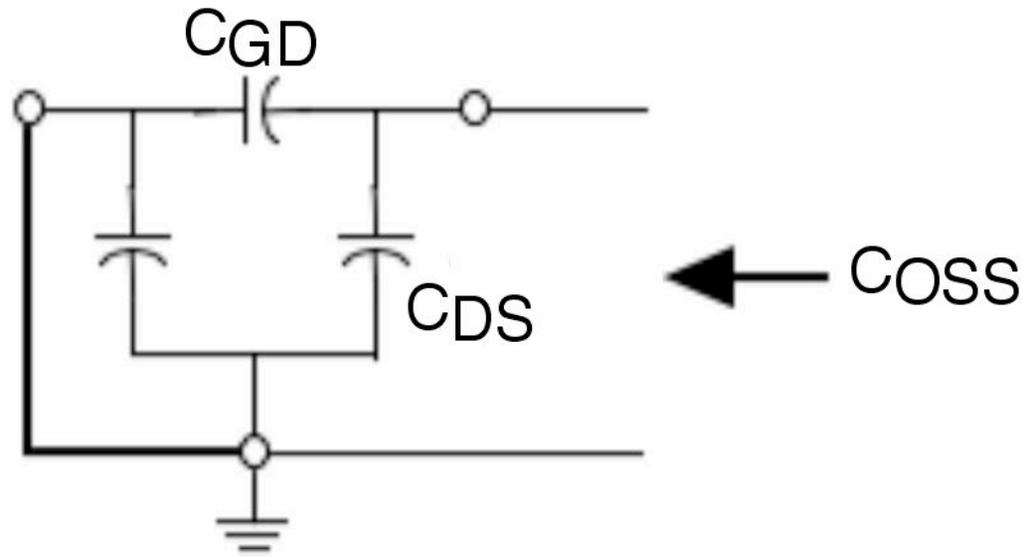
C_{GS} es básicamente constante.

Usualmente el fabricante no especifica directamente los valores de las capacitancias del modelo, sino los de tres capacitancias que son directamente medibles desde los terminales, C_{iss} , C_{oss} y C_{rss} .

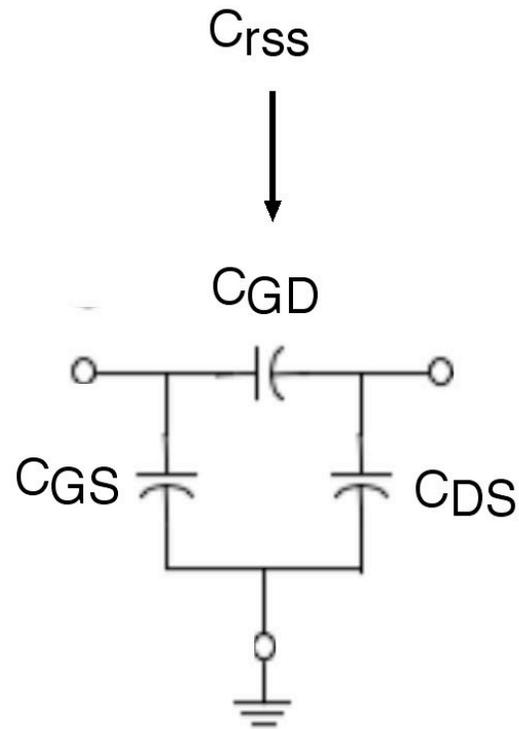
Las relaciones entre las capacitancias especificadas y las del modelo son las siguientes:



$$C_{iss} = C_{GS} + C_{GD}$$



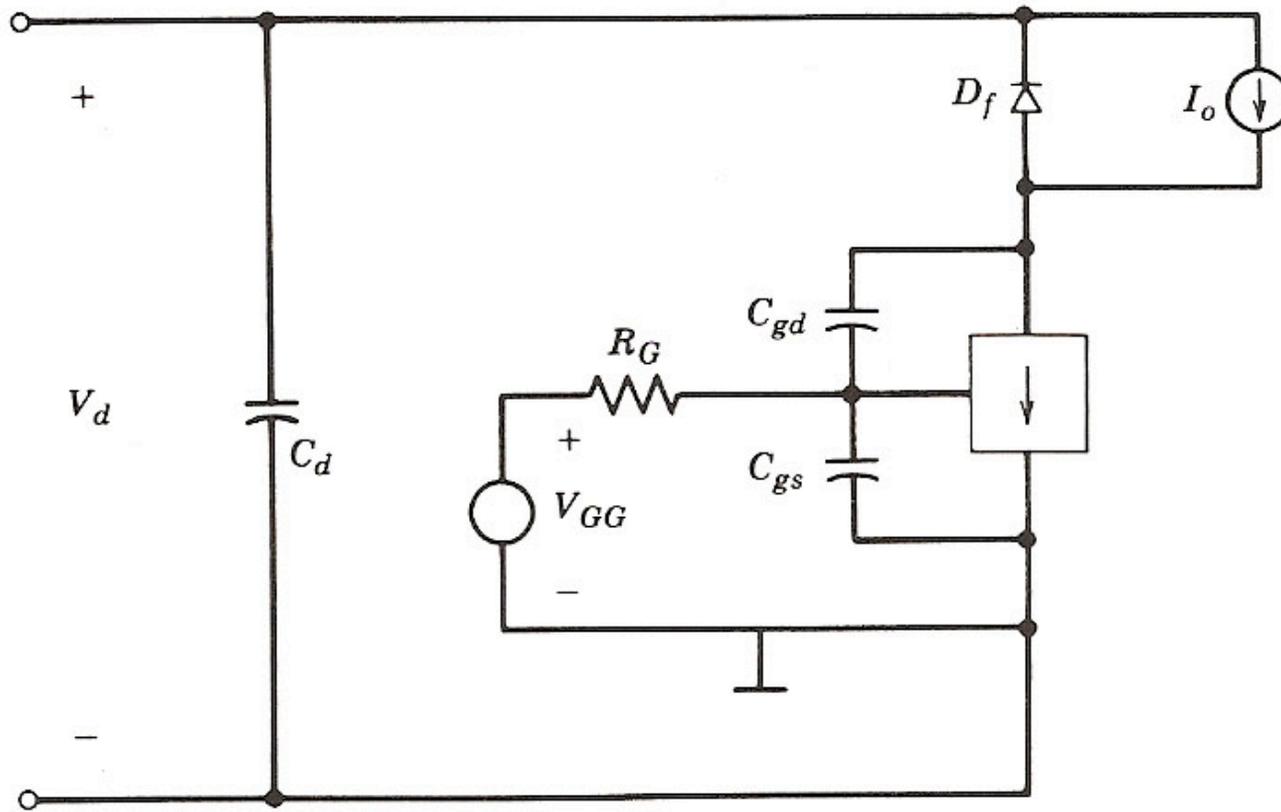
$$C_{oss} = C_{DS} + C_{GD}$$



$$C_{rss} = C_{GD} + \frac{C_{DS}C_{GS}}{C_{DS} + C_{GS}}$$

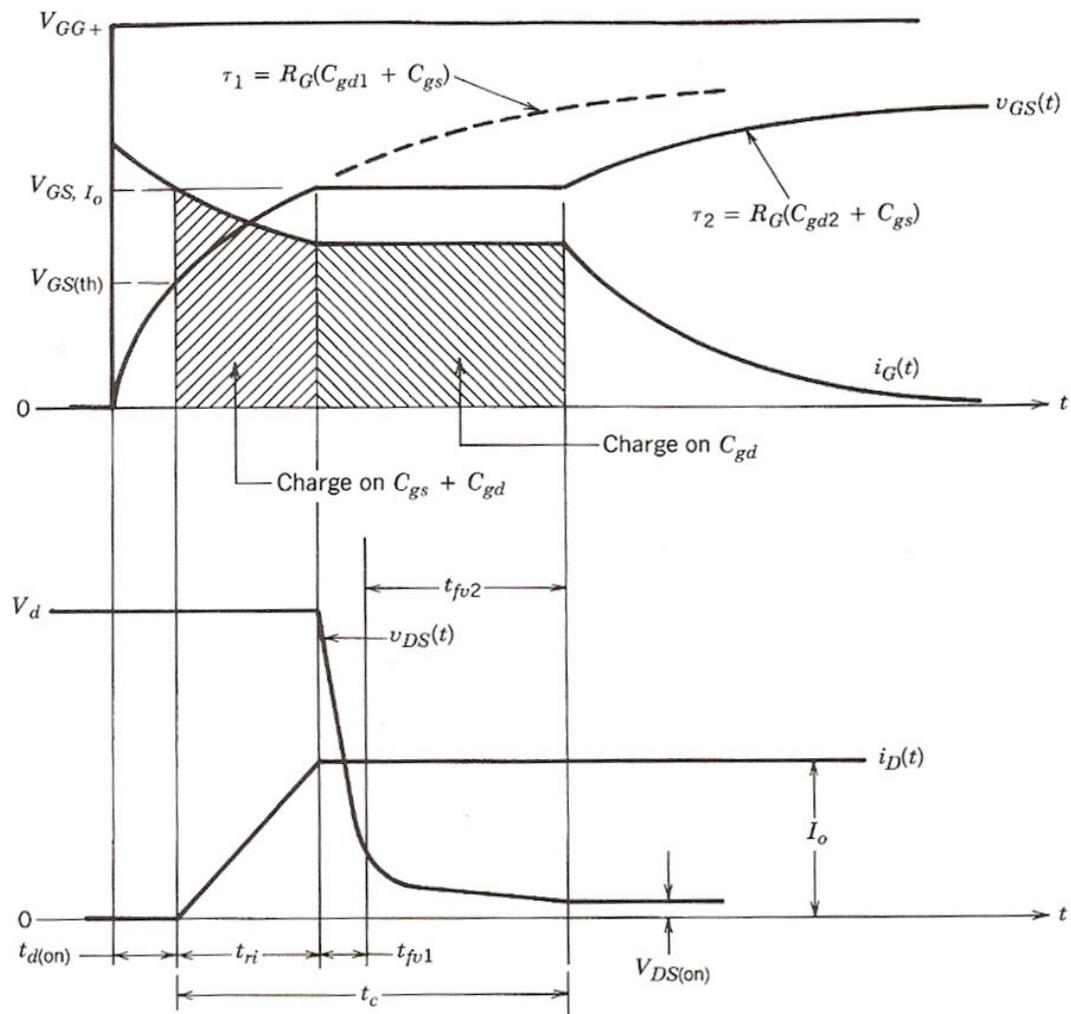
VII.- Tiempos de conmutación.

El proceso de conmutación del MOSFET de potencia esta caracterizado por los siguientes tiempos, definidos para una señal de control aplicada entre los terminales Gate-Source de muy alta velocidad de subida y bajada, con una tensión de alimentación constante y una carga inductiva con diodo de libre conducción.



Circuito de prueba usado para medir las características de conmutación con carga inductiva.

A.- Encendido.



Formas de onda en el encendido.

1.- Tiempo de retardo de encendido, $t_{d(on)}$. Se carga la capacitancia de juntura C_{gs} y el voltaje sube hacia el valor de umbral de conducción (V_{GSth}).

2.- Tiempo de alza, t_r . Es el tiempo que transcurre desde que el voltaje V_{GS} llega al nivel de umbral y la corriente I_D alcanza el valor final.

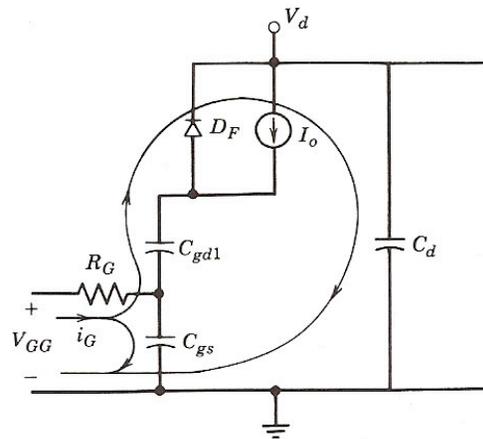
Este tiempo se divide en los siguientes sub-intervalos:

t_{ri} : la corriente de drain crece rápidamente hasta el valor de la corriente de carga externa, el voltaje drain-source no cambia ya que el diodo de libre conducción esta conduciendo.

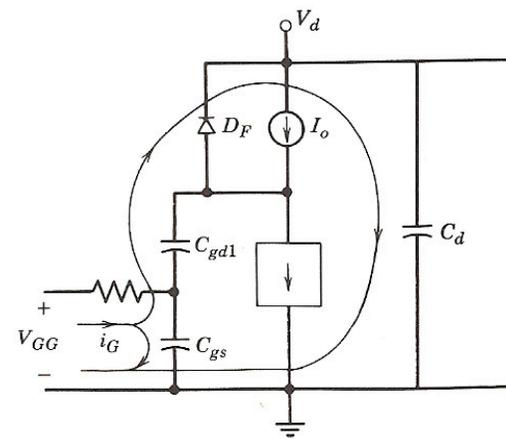
t_{vf1} : La corriente de drain alcanza el valor de la corriente de carga, el diodo de libre conducción deja de conducir y el voltaje de drain cae rápidamente.

t_{vf2} : La pendiente de caída del voltaje de drain cambia y la tensión sigue reduciéndose pero con una pendiente menor.

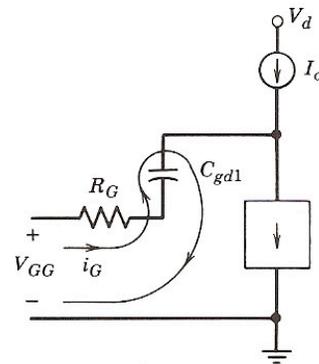
Final del proceso: la tensión drain-source se estabiliza en su valor final, y el voltaje gate-source sube hasta el valor final fijado por la tensión externa y el arreglo de las capacitancias del MOSFET de potencia.



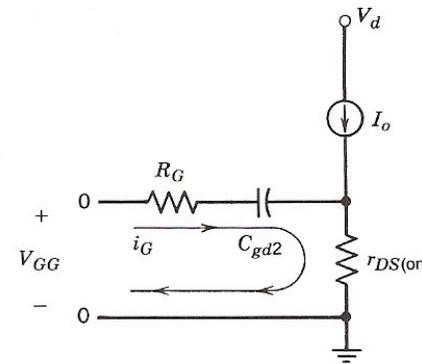
(a)



(b)



(c)

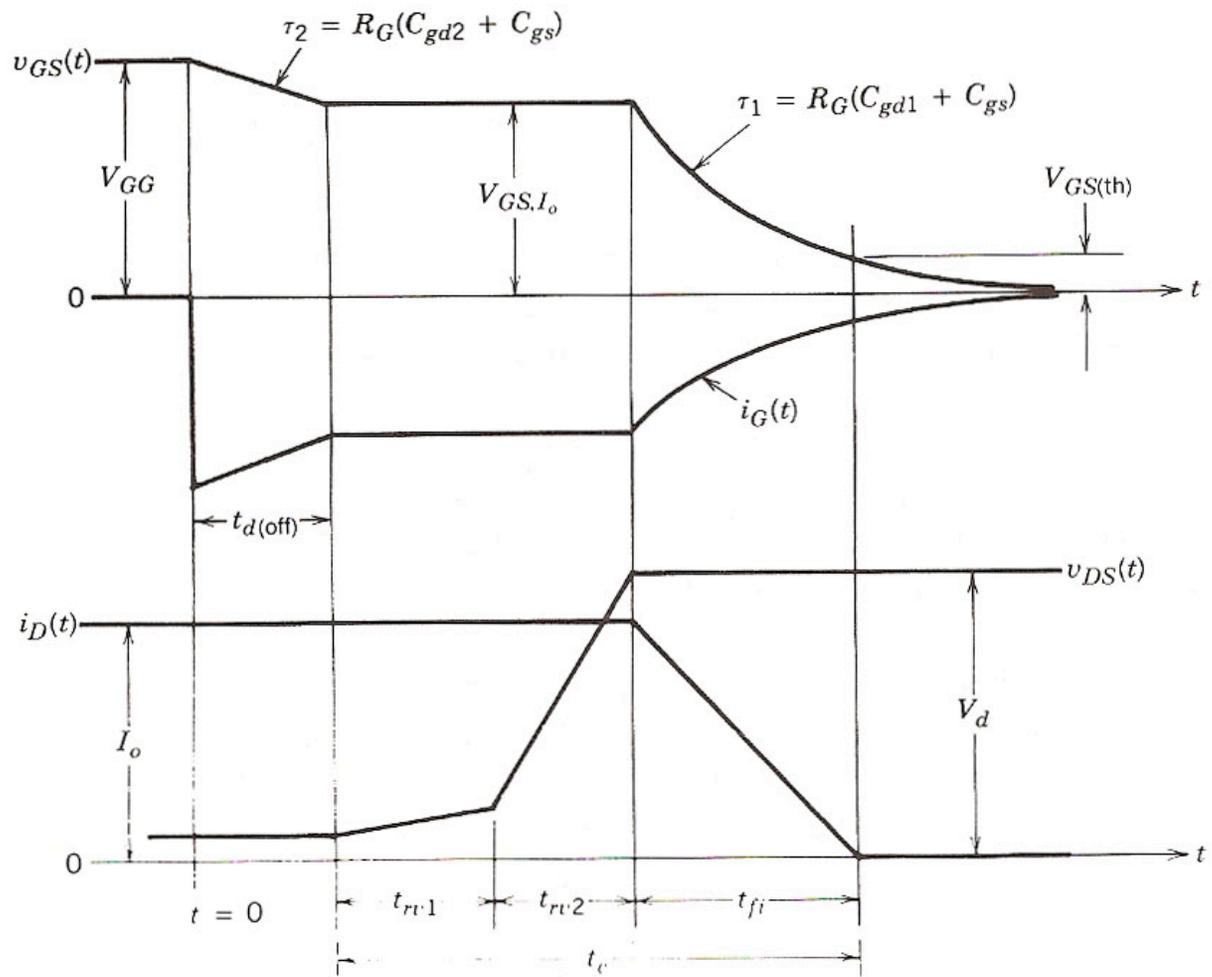


(d)

Circuitos equivalentes aplicables durante las distintas etapas del encendido.

a) intervalo $t_{d(on)}$, b) intervalo t_{ri} , c) intervalo t_{fv1} , d) intervalo t_{fv2} .

B.- Apagado.



Formas de onda en el apagado, diodo de libre conducción ideal.

1.- Tiempo de retardo de apagado, $t_{d(off)}$. Se empieza a extraer la carga del condensador equivalente de entrada y la tensión v_{GS} comienza a reducirse, no ocurren cambios en la corriente ni en la tensión DS.

2.- Tiempo de caída, t_f . Es el tiempo que transcurre desde que el voltaje DS empieza a subir hasta que la I_D alcanza el valor final de cero.

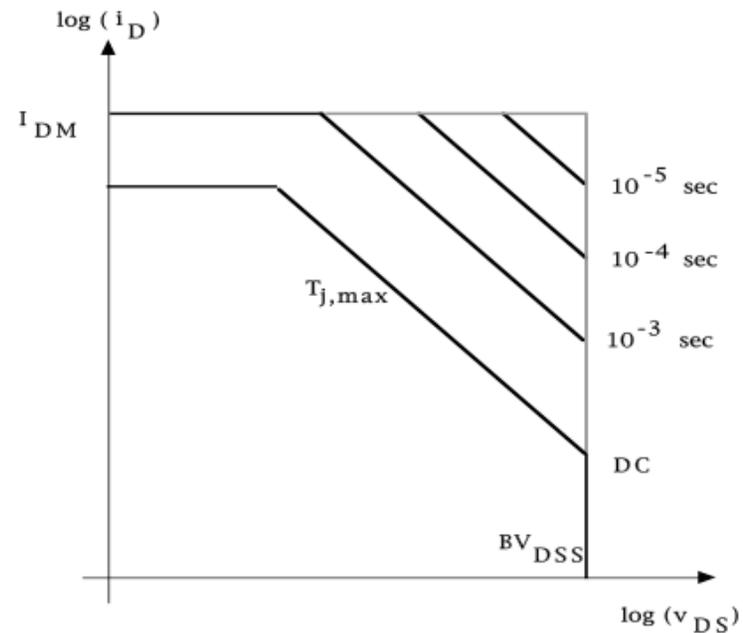
Este tiempo se divide en los siguientes sub-intervalos:

t_{rv1} : La tensión gate-source se estabiliza, la corriente de drain permanece constante y la tensión drain-source empieza a subir lentamente hacia su valor final.

t_{rv2} : Cambia la pendiente de variación de la tensión drain-source que sube rápidamente hacia su valor final.

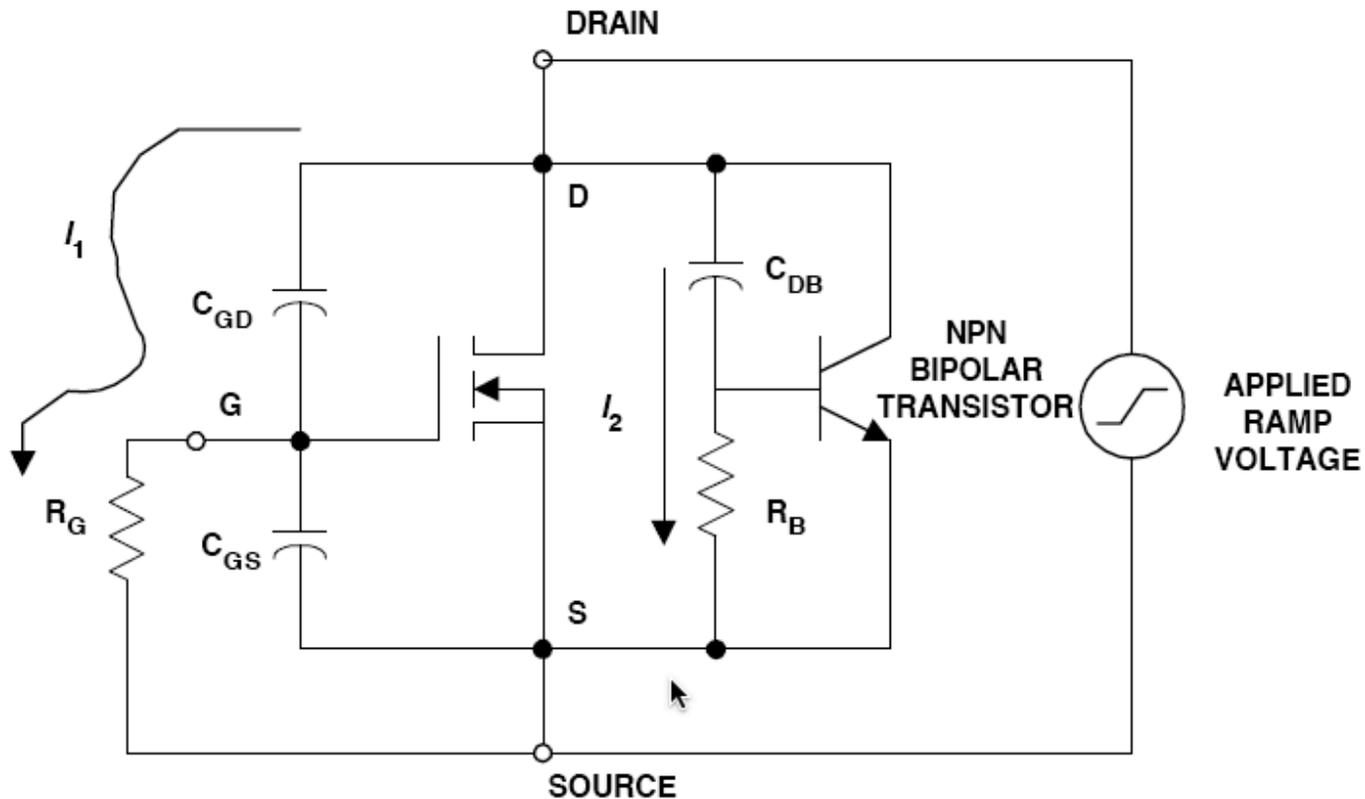
t_{fi} : La tensión drain-source alcanza su valor final, la tensión gate-source vuelve a descender hacia cero; la corriente de drain cae y alcanza el valor cero cuando la tensión gate-source cruza descendiendo el valor del umbral de conducción (v_{GStH}).

VIII.- Área de operación segura (SOA).



El los MOSFET de potencia el área de operación segura esta limitada por la máxima corriente Drain-Source, el voltaje de ruptura Drain-Source y la hipérbola de máxima disipación, y no existe el fenómeno de ruptura secundaria.

Fallas de conmutación.



Circuito equivalente a considerar para determinar la posibilidad de aparición de una falla en encendido por variación rápida de la tensión entre los terminales principales del PowerMOSFET, mostrando los dos caminos de encendido (I_1 , I_2).

I.- Encendido indeseado del PowerMOSFET

Tensión $v_{gs}(t)$ producida por la aplicación de una variación de tensión en los terminales principales:

$$v_{gs}(t) = i_1(t)R_G = R_G C_{GD} \frac{dv_{DS}(t)}{dt}$$

Valor del dv/dt crítico capaz de producir el encendido indeseado

del PowerMOSFET, $\left. \frac{dv_{DS}(t)}{dt} \right|_{MAX1} :$

$$\left. \frac{dv_{DS}(t)}{dt} \right|_{MAX1} = \frac{V_{gsth}}{R_G C_{GD}}$$

II.- Encendido indeseado del BJT secundario

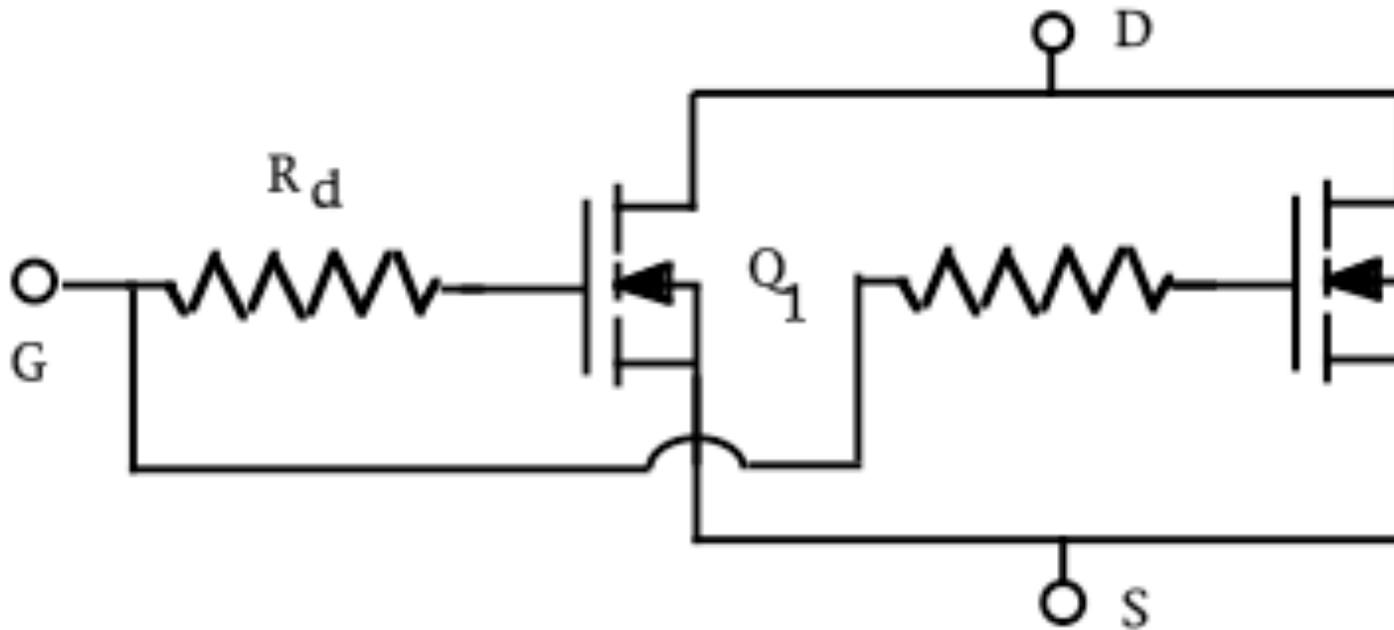
Tensión $v_{be}(t)$ producida por la aplicación de una variación de tensión en los terminales principales:

$$v_{be}(t) = i_2(t)R_B = R_B C_{DB} \frac{dv_{DS}(t)}{dt}$$

Valor del dv/dt crítico capaz de producir el encendido indeseado

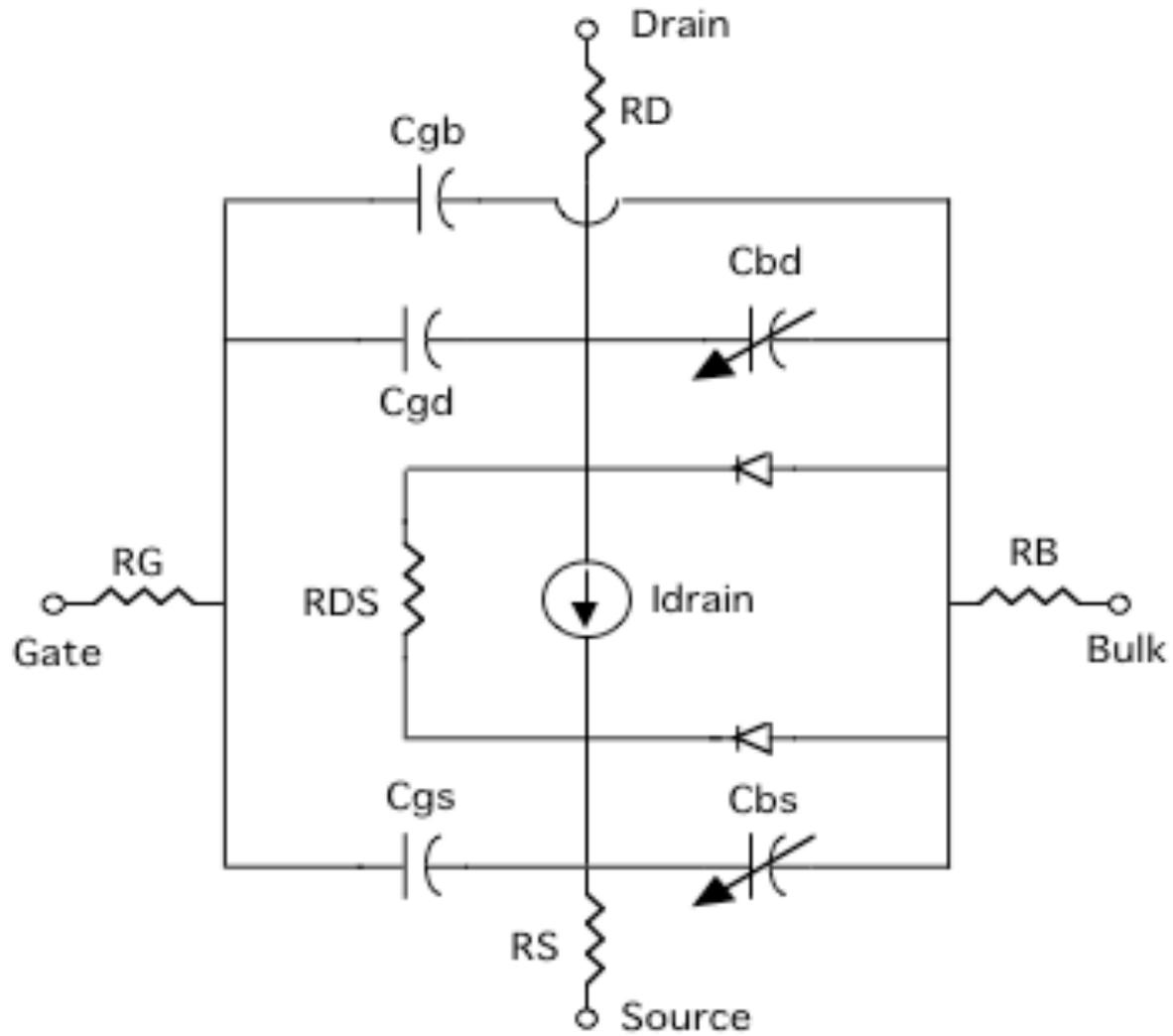
del PowerMOSFET, $\left. \frac{dv_{DS}(t)}{dt} \right|_{MAX2} :$

$$\left. \frac{dv_{DS}(t)}{dt} \right|_{MAX2} = \frac{V_{beth}}{R_B C_{DB}}$$

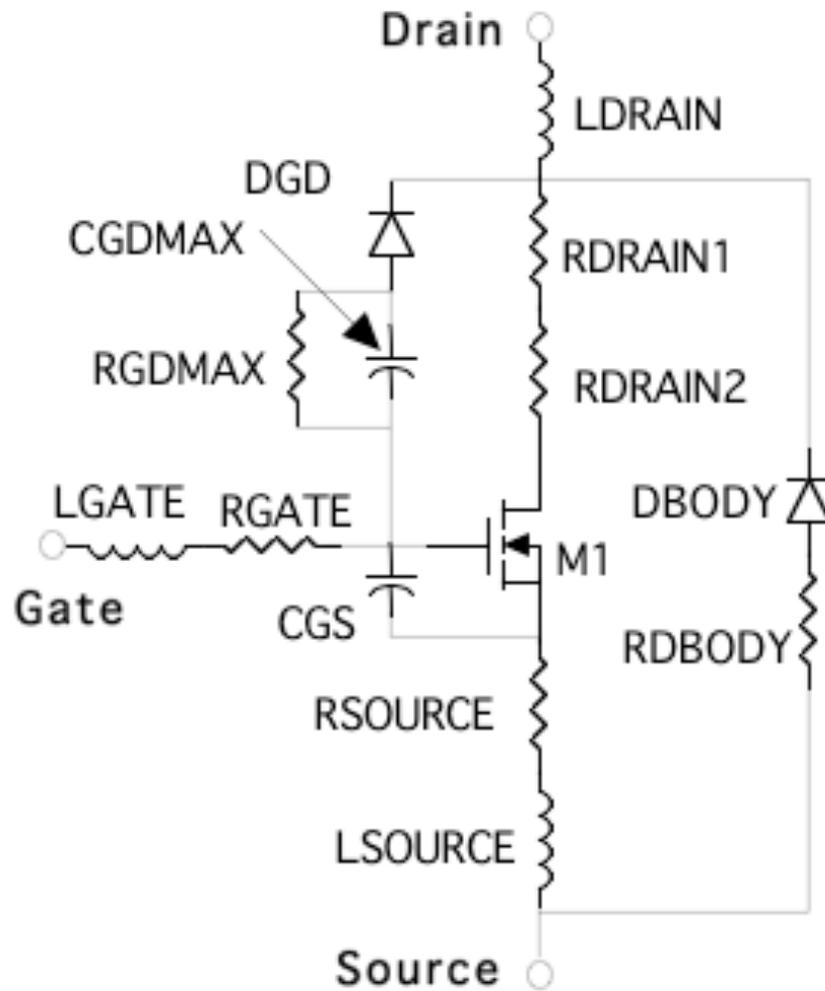


Conexión de PowerMOSFETs en paralelo.

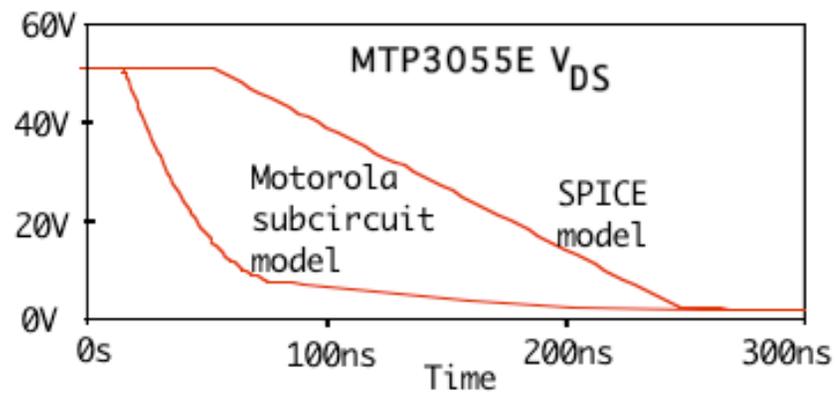
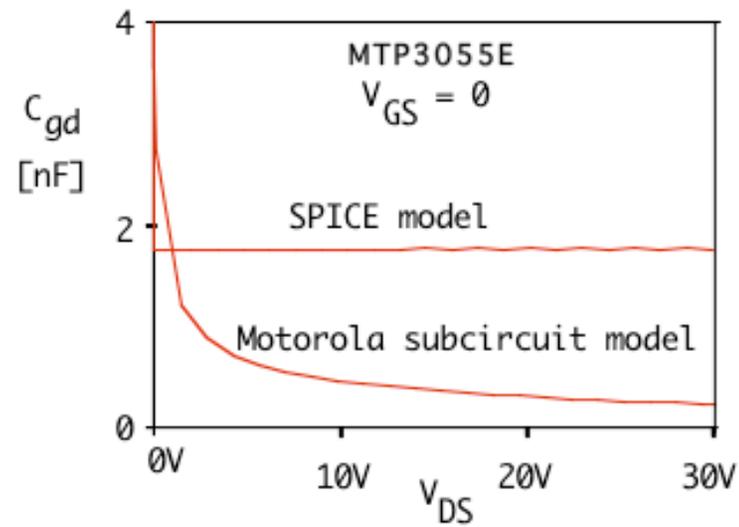
Al no existir el peligro de la corrida térmica, PowerMOSFETs del mismo tipo pueden conectarse directamente en paralelo. Las impedancias del circuito de control deben ajustarse para asegurar conmutaciones simultáneas.



Modelo SPICE básico del MOSFET



Modelo del POWERMOSFET como sub-circuito, MOTOROLA



Comparación de resultados de la simulación.

PowerMOSFET vs. BJTs de potencia.

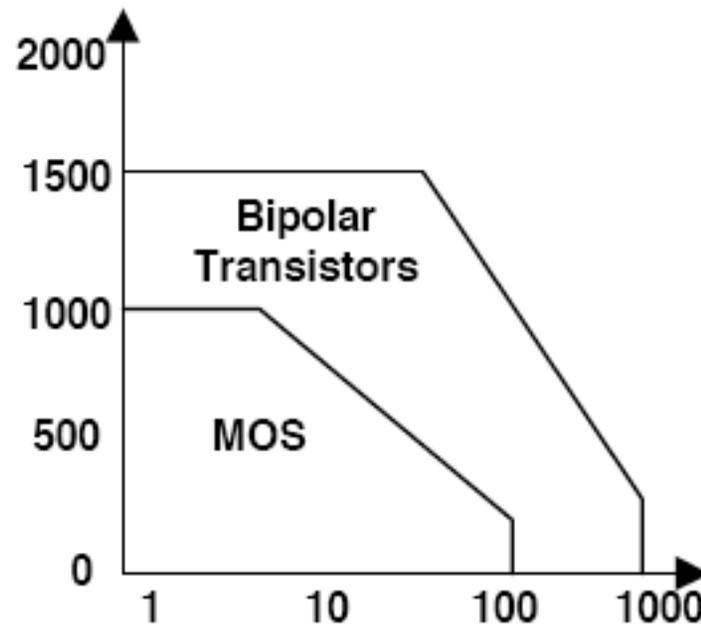
Ventajas:

- 1.- La conmutación del PowerMOSFET es órdenes de magnitud mas rápida.
- 2.- Los PowerMOSFETs pueden ser conectados directamente en paralelo.
- 3.- Control de conmutación por voltaje de compuerta, bajo consumo de corriente de control.
- 4.- Diodo de conducción inversa intrínseco.

Desventajas:

- 1.- Para un mismo nivel de corriente las pérdidas en conducción son mas elevadas en el PowerMOSFET.
- 2.- Pérdidas en conducción aumentan cuando se trata de aumentar la tensión de bloqueo.

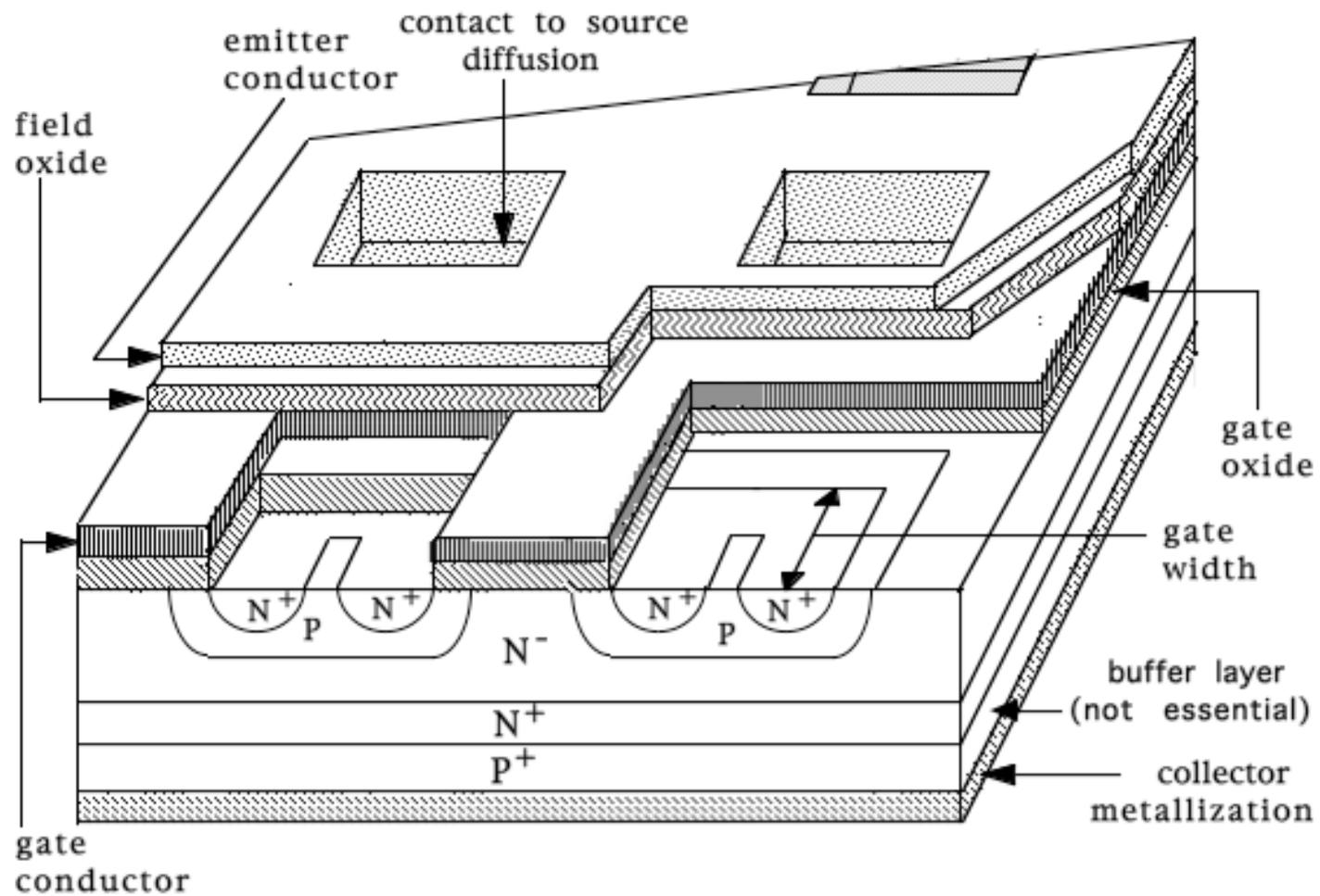
Comparación entre las capacidades voltaje/corriente de BJTs de potencia y PowerMOSFETS.



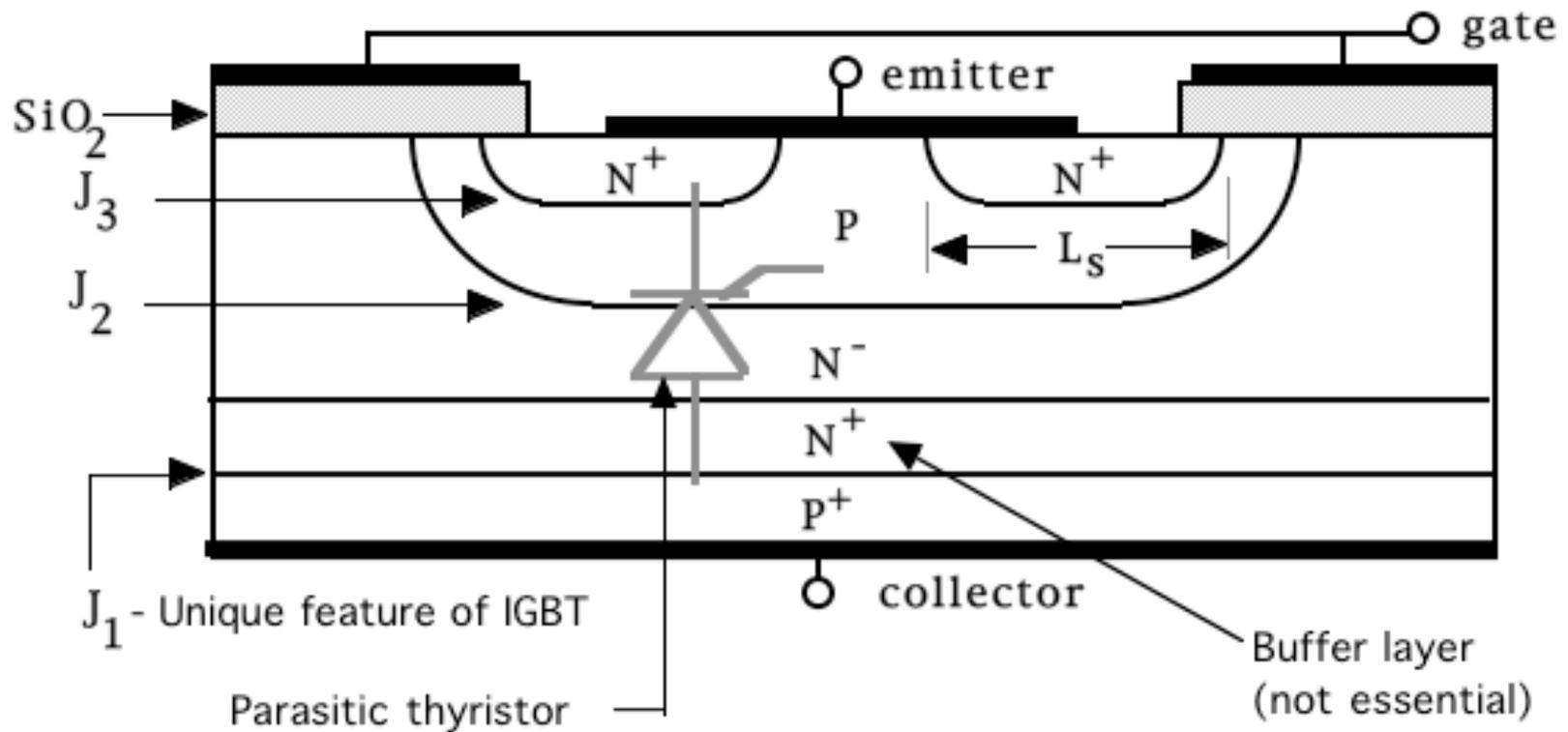
Escala vertical: voltaje de bloqueo máximo
Escala horizontal: corriente máxima.

TRANSISTOR BIPOLAR DE COMPUERTA AISLADA (IGBT)

El IGBT es un dispositivo desarrollado para combinar las ventajas de los transistores bipolares en el manejo de potencia (menores pérdidas en conducción, mayor tensión de bloqueo) con las de los PowerMOSFETs en las características de control (compuerta aislada, manejo por tensión, consumo de corriente de control mucho mas bajo).

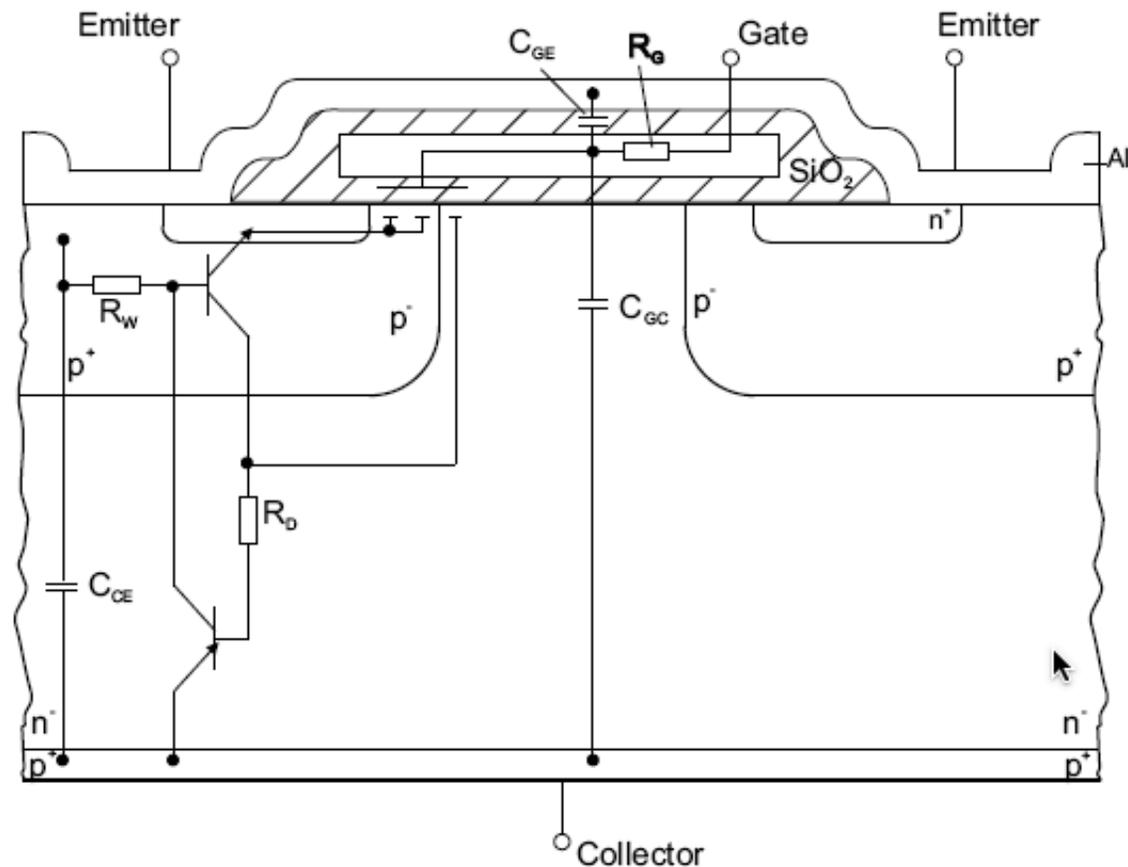


Vista en perspectiva de la estructura del IGBT



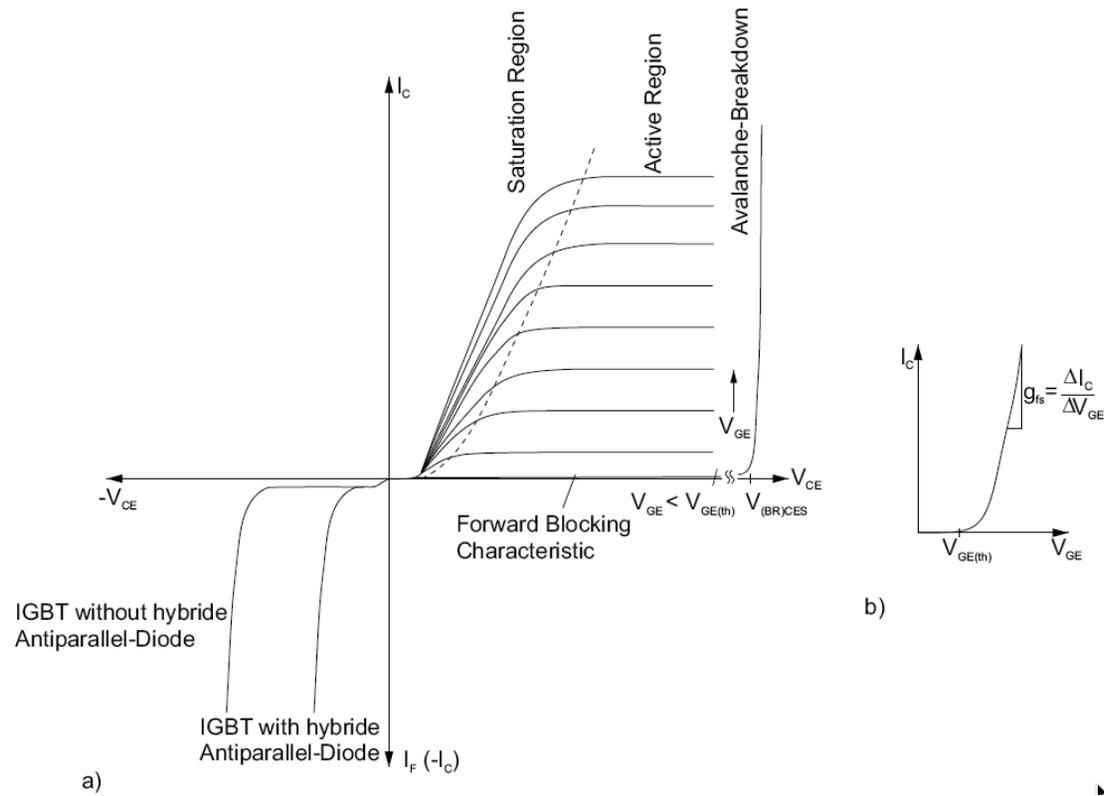
Corte transversal del IGBT

La capa N^+ sobre la región de colector esta presente en los IGBT tipo "punch-through" (PT) y no existe en los IGBT tipo "non-punch-through" (NPT)



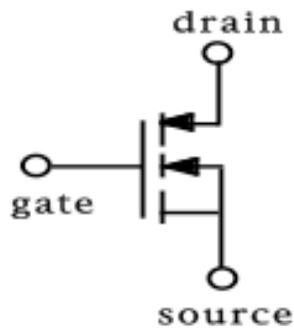
Celda básica del IGBT (tipo NPT) mostrando todos los elementos circuitales (deseados y parásitos) que se pueden definir en la misma.

El IGBT básico tiene capacidad de bloqueo inversa, pero como es un dispositivo empleado principalmente en convertidores DC-DC y DC-AC donde la capacidad de bloqueo inverso es irrelevante, ya que las configuraciones incluyen siempre diodos en antiparalelo con los conmutadores principales, la mayoría de los IGBTs ofrecidos en el mercado incluyen un diodo conectado en antiparalelo en el encapsulado del IGBT.

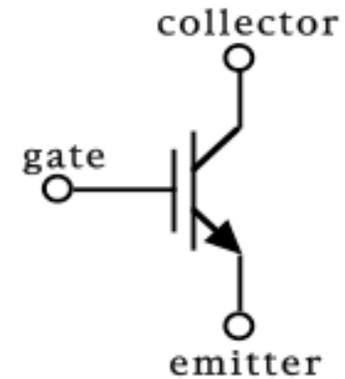


Características del IGBT.

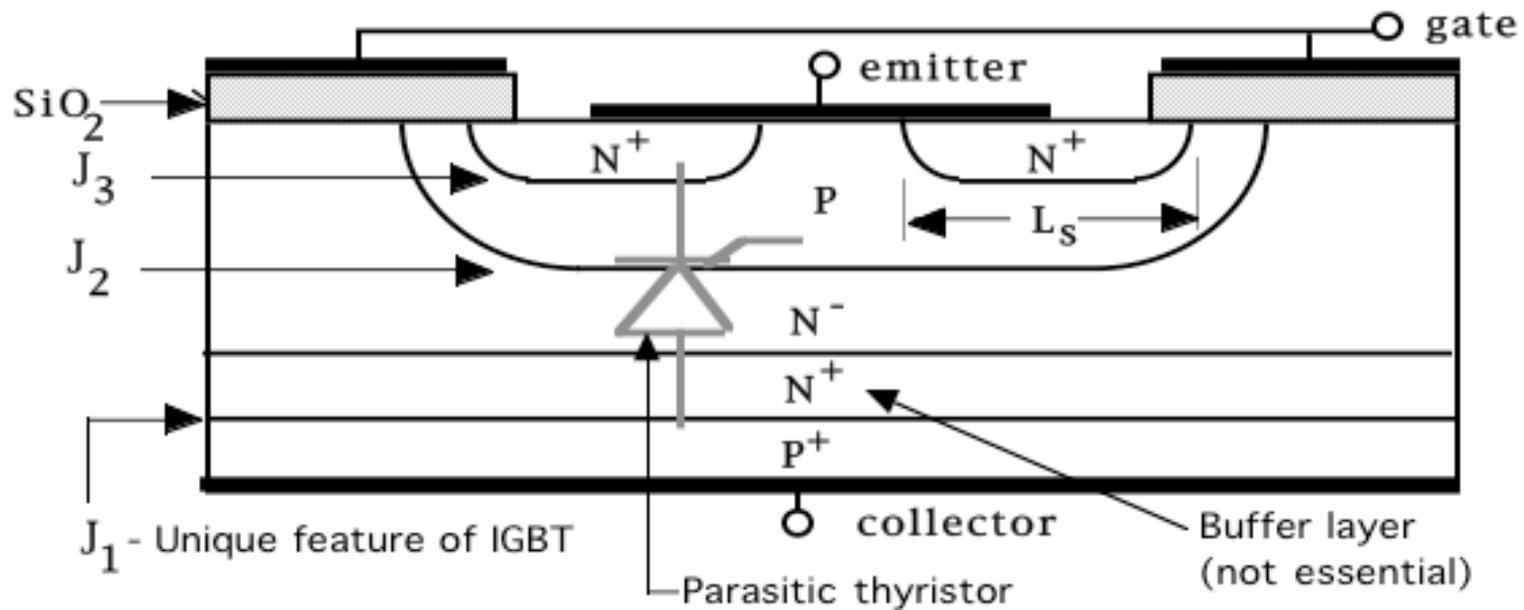
Curvas i_c vs v_{ce} (a), curva de transferencia i_c vs v_{ge} (b)



- N-channel IGBT circuit symbols



Símbolos circuitales del IGBT de canal N.
(El símbolo de la izquierda ha caído en desuso, aunque es una representación más fiel de la operación).



IGBT en bloqueo directo ($v_c > v_e$, $v_{ge} < v_{ge(th)}$)

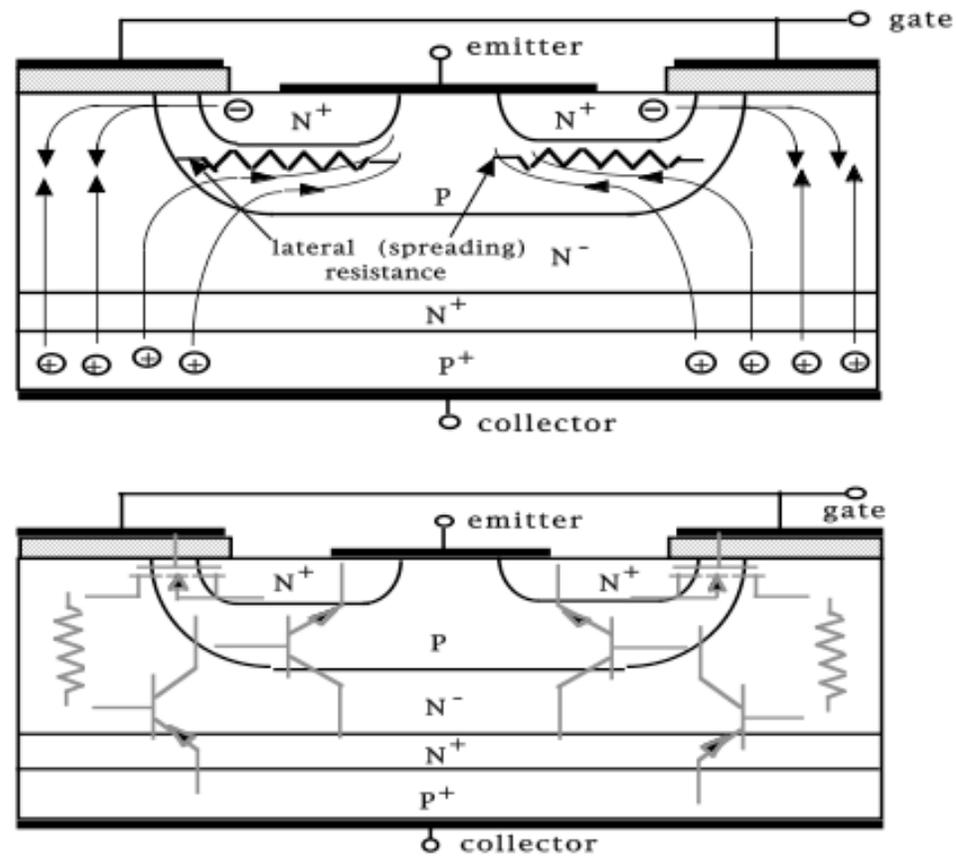
La condición de bloqueo requiere la tensión compuerta-emisor sea menor que el valor de umbral de conducción

$$(V_{ge} < V_{ge(th)}).$$

J_2 es la juntura que bloquea.

Efecto de la zona N^+ (“buffer layer”):

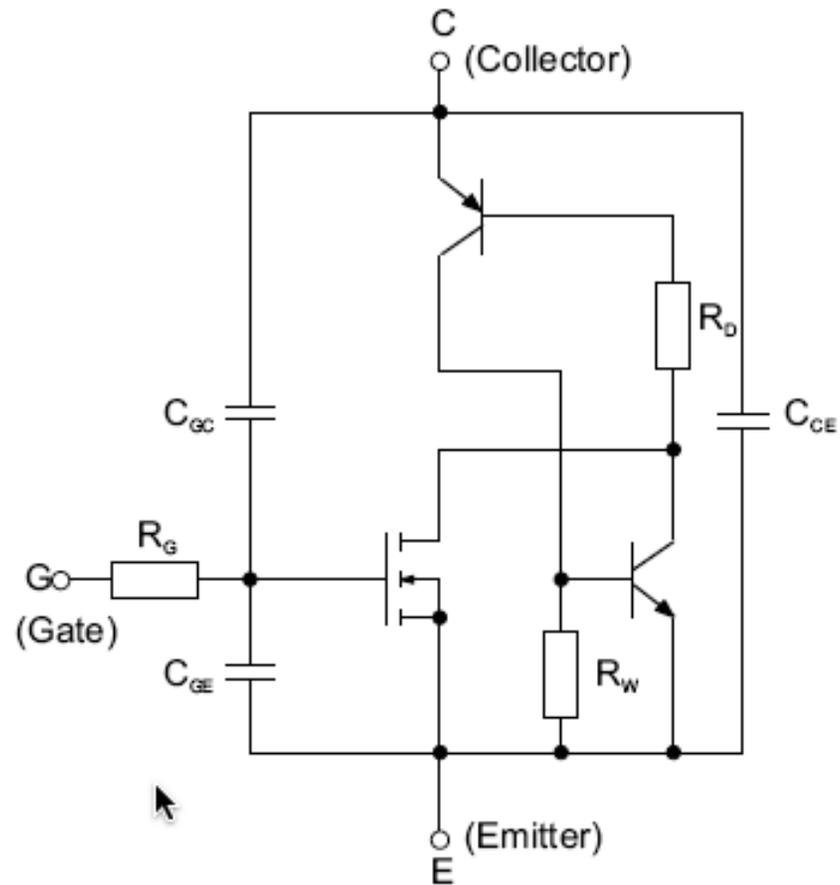
- 1.- Aumenta la velocidad de apagado del IGBT.
- 2.- Elimina la capacidad de bloqueo inverso del IGBT (IGBT asimétrico). Un IGBT sin esa zona es capaz de bloquear tensiones inversas (IGBT simétrico).



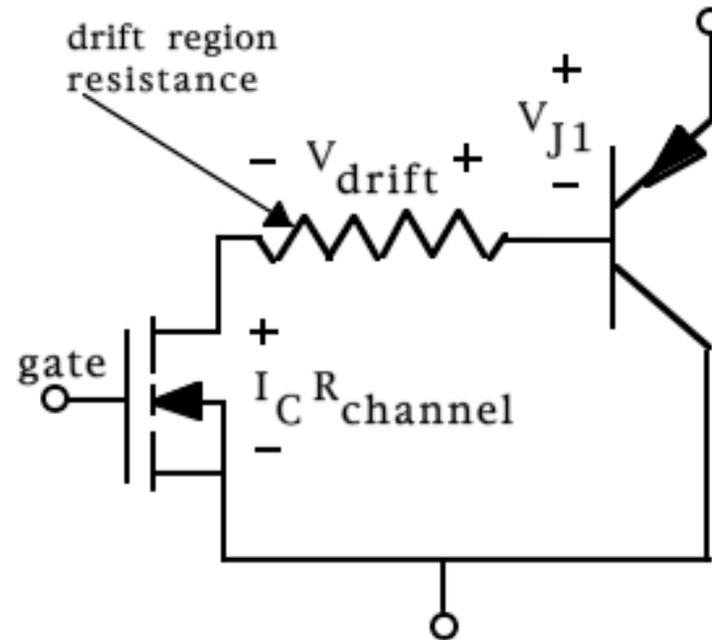
IGBT en conducción

Movimiento de los portadores y resistencias parásitas (arriba)

Elementos circuitales equivalentes (abajo)

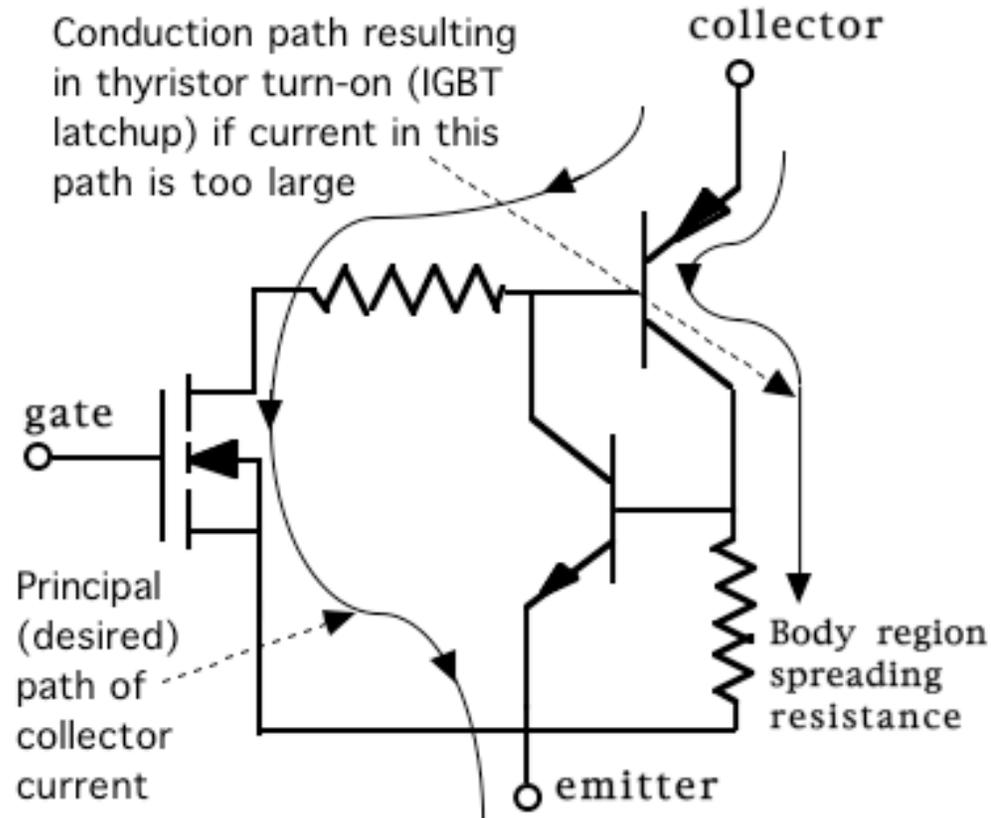


Circuito equivalente del IGBT mostrando todos los elementos significativos



Circuito equivalente simplificado del IGBT en operación normal

$$V_{CE(on)} = V_{J1} + V_{drift} + I_C R_{canal}$$



Circuito equivalente del IGBT mostrado el SCR parásito que puede causar una falla de “enganche en conducción” que usualmente es destructiva.

Especificaciones básicas.

I.- Tensión de ruptura directa.

Determina la tensión colector emisor máxima, V_{CES} , que puede ser aceptado por un IGBT sin entrar en conducción por ruptura directa.

Si el IGBT está encapsulado con un diodo, el arreglo carece de capacidad de bloqueo inversa.

II.- Corriente máxima.

El fabricante especifica dos valores:

- a.- I_C . Es la corriente máxima continua que puede ser manejada, a la temperatura de juntura especificada por el fabricante.
- b.- I_{CRM} . Es la máxima corriente pulsante que puede ser manejada, a la temperatura de juntura especificada por el fabricante y durante el tiempo especificado por el fabricante. El valor I_{CRM} es significativamente más grande que el valor I_C , y puede ser usado como margen de protección para que actúen los circuitos de protección de apagado por sobre corriente.

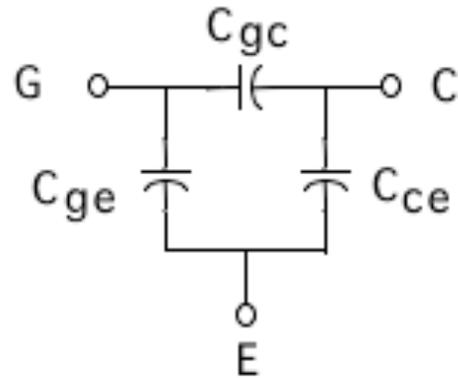
III.- Especificaciones de compuerta.

a.- Tensión compuerta-emisor máxima, V_{GES} .

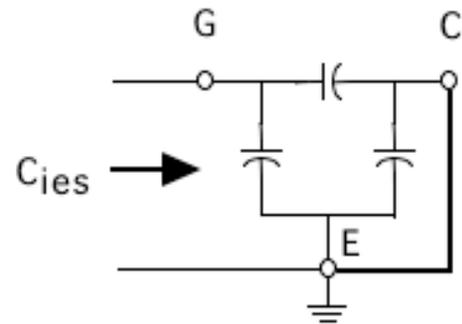
Es la máxima tensión aplicable entre los terminales de compuerta y emisor. El valor especificado es simétrico, y suele estar entre +/- 10 y +/- 20 voltios.

b.- Voltaje de umbral de conducción, $V_{GE(th)}$. Es la tensión mínima que se debe aplicar para que el IGBT entre en conducción. El circuito externo debe asegurar que la tensión GE aplicada durante en periodo de encendido sea mayor que el voltaje de umbral, $V_{GE(th)}$, y menor que la tensión máxima permisible, V_{GES} .

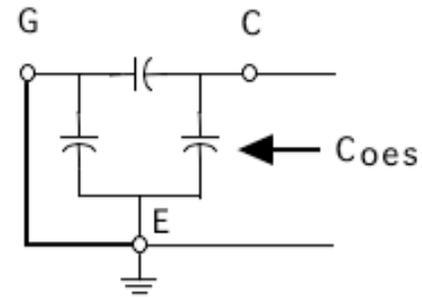
IV.- Capacitancias equivalentes.



Capacitancias entre los terminales del IGBT



$$C_{ies} = C_{ge} + C_{gc}$$

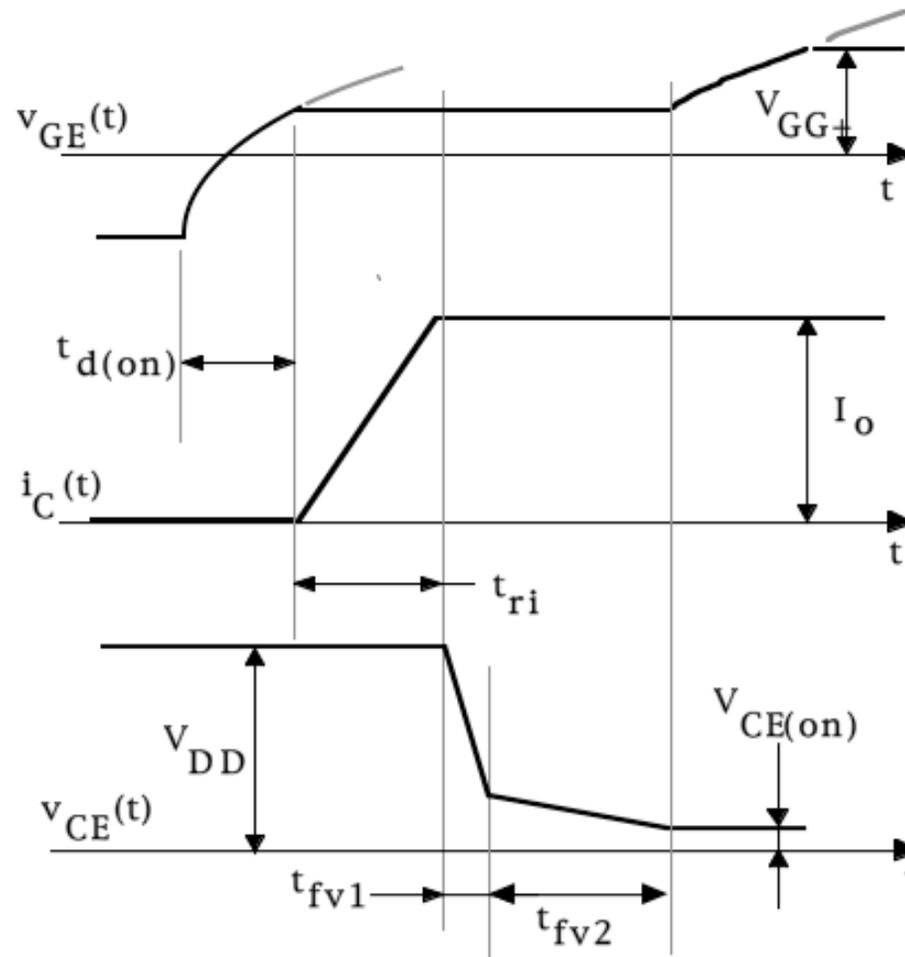


$$C_{oes} = C_{gc} + C_{ce}$$

Valores especificados por el fabricante.

V.- Tiempos de conmutación.

A.- Encendido



Formas de onda de encendido del IGBT en un circuito inductivo

t_d : tiempo de retardo. Se carga la capacitancia de juntura C_{je} y el voltaje sube hacia el valor de umbral de conducción (V_{geth}).

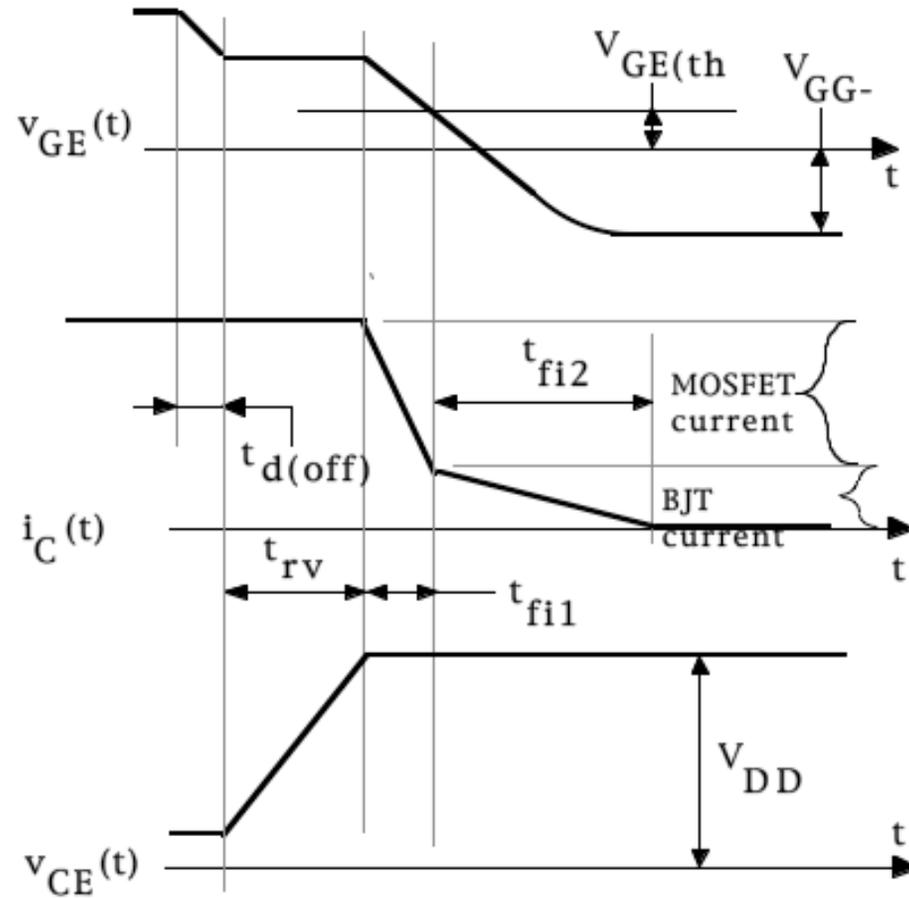
t_{ri} : la corriente de colector crece rápidamente hasta el valor de la corriente de carga externa, el voltaje colector-emisor no cambia ya que el diodo de libre conducción está conduciendo.

t_{vf1} : La corriente de colector alcanza el valor de la corriente de carga, el diodo de libre conducción deja de conducir y el voltaje de colector cae rápidamente.

t_{vf2} : El voltaje en la región FET ha alcanzado su valor final, pero el transistor aún no ha llegado a saturación profunda, la tensión de colector sigue reduciéndose pero con una pendiente menor.

Final del proceso: la tensión colector emisor se estabiliza en su valor final, y el voltaje compuerta-emisor sube hasta el valor final fijado por la tensión externa y el arreglo de las capacitancias del IGBT.

B.- Apagado



Formas de onda de apagado del IGBT en un circuito inductivo.

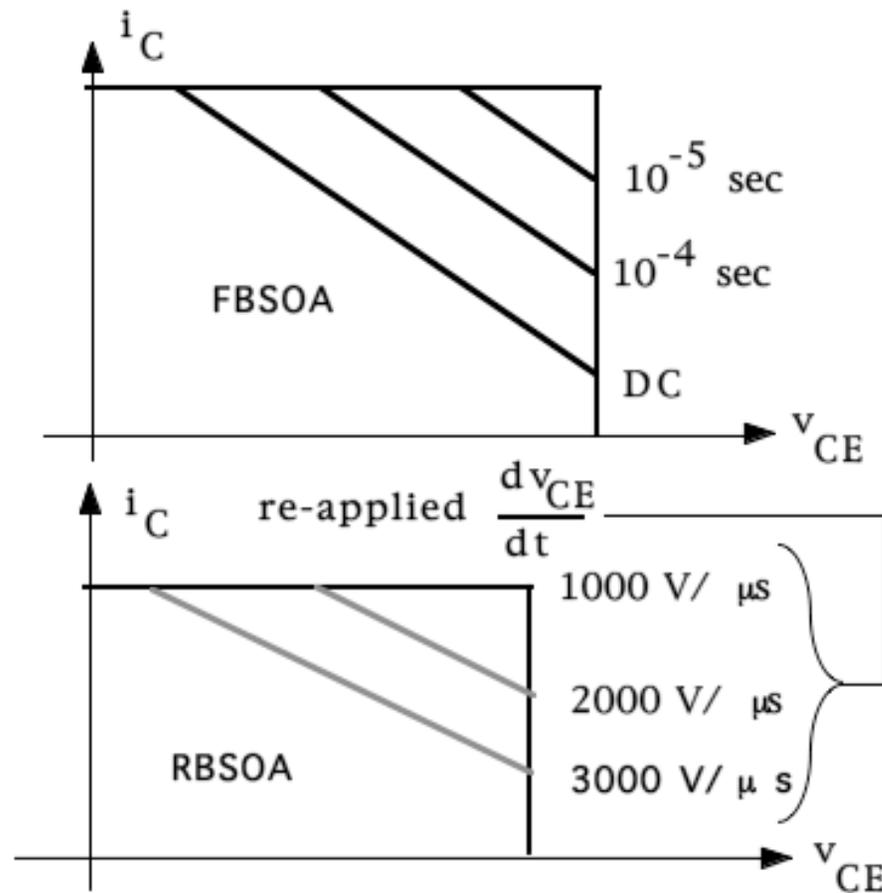
t_d : tiempo de retardo. Se empieza a extraer la carga del condensador equivalente de entrada y la tensión v_{ge} comienza a reducirse, no ocurren cambios en la corriente ni en la tensión.

t_{rv} : tiempo de alza del voltaje. La tensión colector-emisor sube rápidamente hasta alcanzar la tensión externa.

t_{fi1} : El diodo externo de libre conducción queda polarizado en inverso y la corriente i_{ce} cae rápidamente mientras la zona FET del IGBT se apaga.

t_{fi2} : La zona BJT del IGBT sigue su proceso de apagado más lento, y se la corriente i_{ce} cae lentamente, formando una “cola de corriente”.

VI.- Área de operación segura.



IGBT áreas de operación segura directa (arriba) y reversa (abajo).

IGBT vs. PowerMOSFETs y BJTs.

Ventajas:

El IGBT tiene sobre el PowerMOSFET las mismas ventajas que el BJT (menores pérdidas en conducción, mayor tensión de bloqueo), y sobre el BJT las mismas que el PowerMOSFET (conmutación controlada por voltaje, mucho menor consumo de corriente de control), salvo la velocidad de conmutación, que es similar.

Desventajas:

La velocidad de conmutación del PowerMOSFET es órdenes de magnitud superior a la del IGBT.

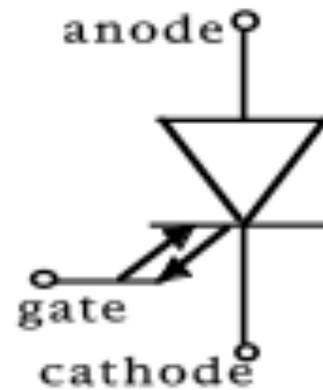
El BJT de potencia no tiene ventajas sobre el IGBT.

Conclusión.

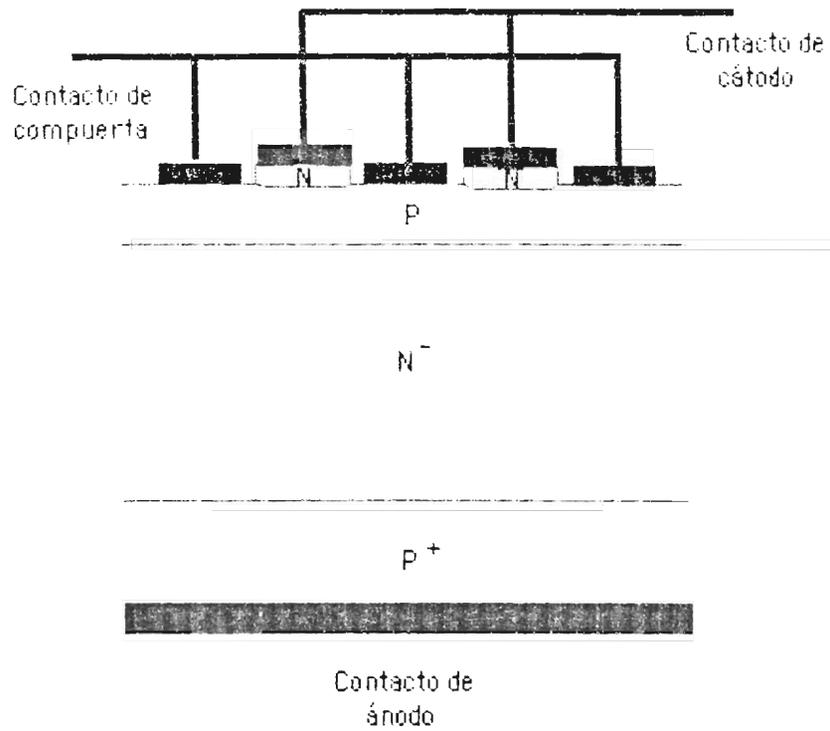
En el estado actual de la tecnología se tiene que:

- 1.- Los PowerMOSFETs son los componentes mas adecuados para aplicaciones que requieren alta frecuencia de conmutación (100kHz o mayor), principalmente fuentes de poder, y conversores de muy alta frecuencia de salida.
- 2.- Los IGBTs son los componentes mas adecuados para aplicaciones de media (decenas de kHz) y baja frecuencia.

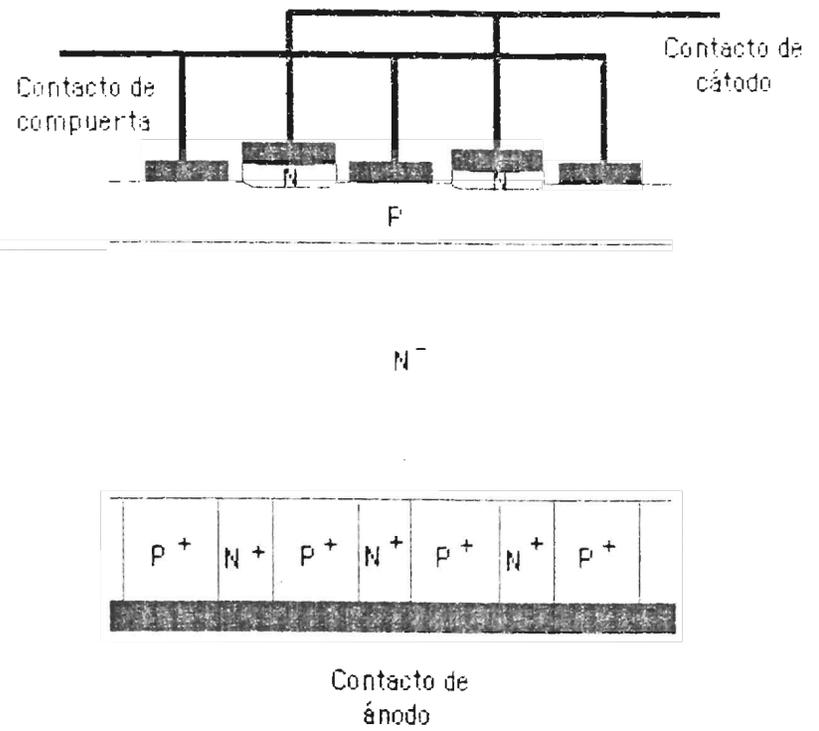
RECTIFICADOR CONTROLADO DE SILICIO APAGADO POR COMPUERTA (GTO).



Símbolo del GTO (Gate Turn Off), resaltando que se trata de un Rectificador Controlado de Silicio (SCR) pero con control bidireccional (encendido y apagado) en la compuerta.

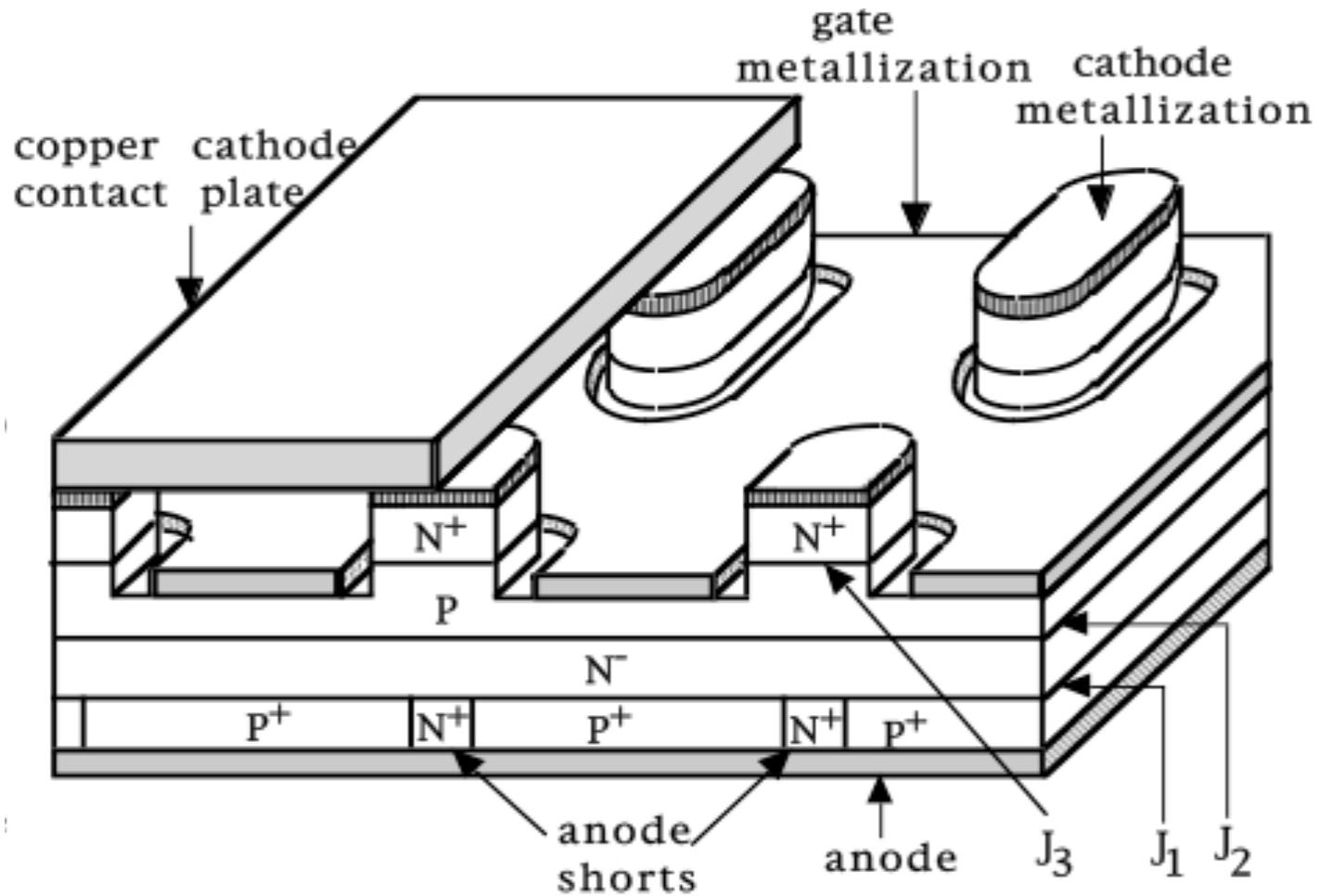


GTO con dopado de oro



GTO con "cortocircuito de ánodo"

Corte esquemático de un GTO
 Izquierda: Con dopado de oro
 Derecha: Con cortocircuitos de ánodo.



Estructura de un GTO con cortocircuitos de ánodo.

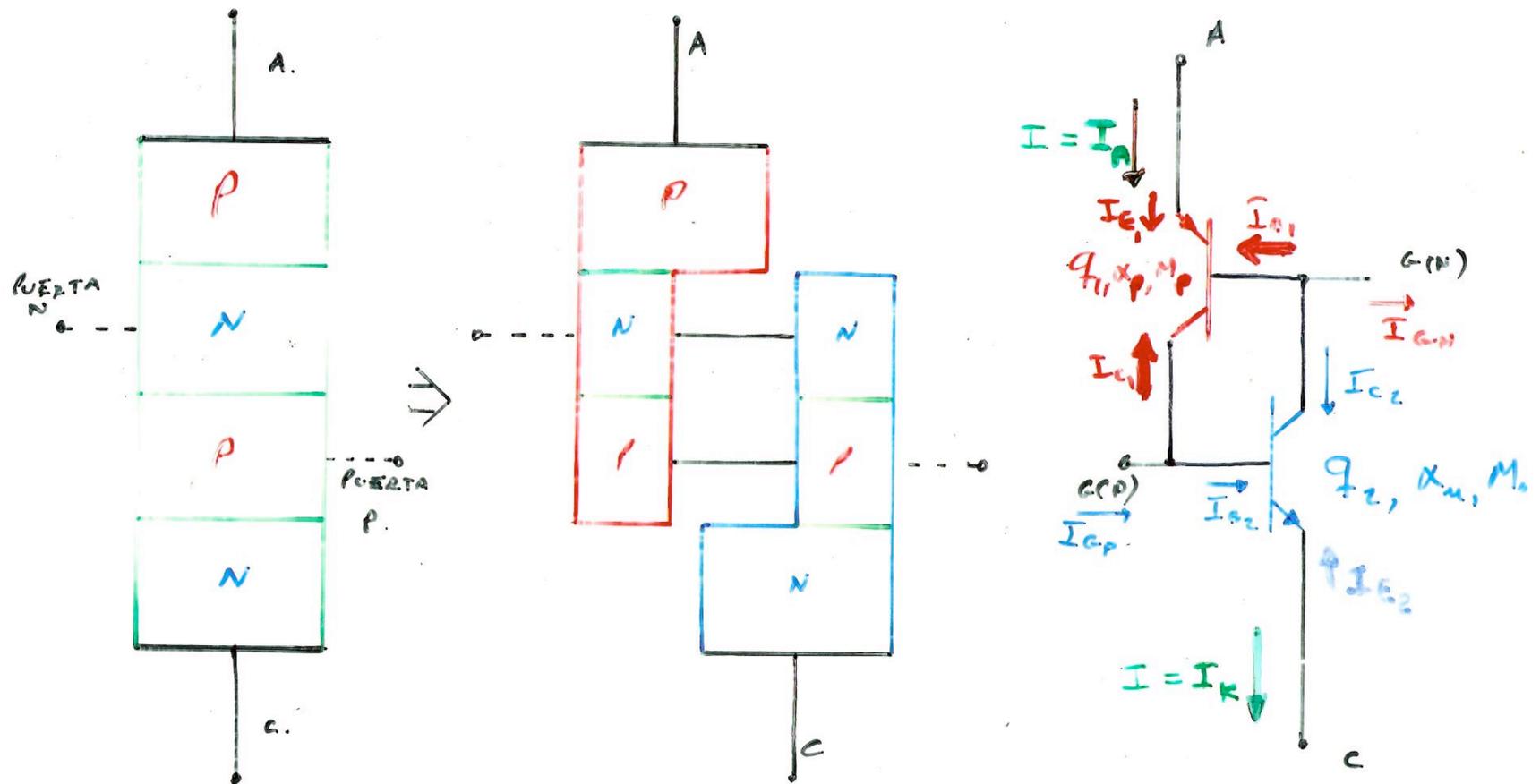
Características específicas del GTO con cortocircuito de ánodo.

- Estructura altamente inter-digitada en la zonas de compuerta-cátodo para lograr la conmutación más rápida posible.
 - Islas de cátodo para simplificar la conexión con el exterior.
 - Cortos de ánodo, para acelerar el apagado.
 - No hay capacidad de bloquear tensiones inversas.
- (el resto de las características son similares a las de un SCR).

Características específicas del GTO con dopado de oro.

- Estructura altamente inter-digitada en la zonas de compuerta-cátodo para lograr la conmutación más rápida posible.
- Islas de cátodo para simplificar la conexión con el exterior.
 - Capacidad de bloquear tensiones inversas.
- Pérdidas en conducción más elevadas que en los GTOs con cortocircuitos de ánodo.

(el resto de las características son similares a las de un SCR).



Tiristor. Estructura ideal de cuatro capas PNPN (a), corte imaginario (b), modelo equivalente de dos transistores (c)

Ecuación de la corriente ánodo-cátodo según el modelo de los dos transistores

Del circuito:

$$I = I_{E1}$$

$$I_{E1} + I_{B1} + I_{C1} = 0$$

$$I_{C1} = -\alpha_1 I_{E1} - I_{CO1} \text{ (pnp)}$$

$$I_{C2} = -\alpha_2 I_{E2} + I_{CO2} \text{ (npn)}$$

$$I_{B2} = -I_{C1}$$

$$I_{C2} = -I_{B1}$$

$$I_{E2} = -I$$

Operando:

$$I + \alpha_2 I_{E2} - I_{CO2} - \alpha_1 I_{E1} - I_{CO1} = 0$$

$$I - \alpha_2 I - I_{CO2} - \alpha_1 I - I_{CO1} = 0$$

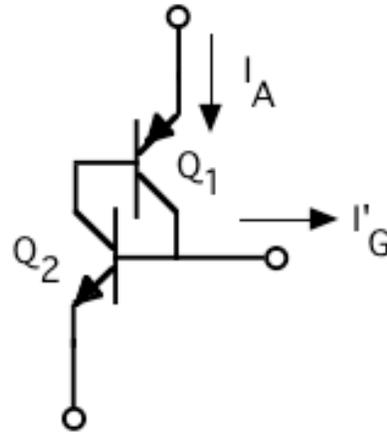
$$I (1 - \alpha_1 - \alpha_2) = I_{CO1} + I_{CO2}$$

$$I = \frac{I_{CO1} + I_{CO2}}{1 - (\alpha_1 + \alpha_2)} = \frac{I_{fuga}}{1 - (\alpha_1 + \alpha_2)}$$

Parámetros de los que depende α

- 1.- Geometría del dispositivo
- 2.- Nivel de dopado
- 3.- Corriente circulante I_{AK}

Apagado por compuerta.



Circuito equivalente de apagado por compuerta

Condición de apagado por compuerta: Extraer suficiente

$$\text{corriente para lograr que } I_{B2} < \frac{I_{C2}}{\beta_2}$$

Ecuaciones del apagado por compuerta:

$$I_{B2} = \alpha_1 I_A - I'_G$$

$$I_{C2} = (1 - \alpha_1) I_A$$

$$\alpha_1 I_A - I'_G < \frac{(1 - \alpha_1) I_A}{\beta_2} = \frac{(1 - \alpha_1)(1 - \alpha_2) I_A}{\alpha_2}$$

$$I'_G > \frac{I_A}{\beta_{off}}$$

$$\beta_{off} = \frac{\alpha_2}{1 - \alpha_1 - \alpha_2}$$

β_{off} es la ganancia de apagado del GTO.

Consideraciones generales sobre el apagado por compuerta.

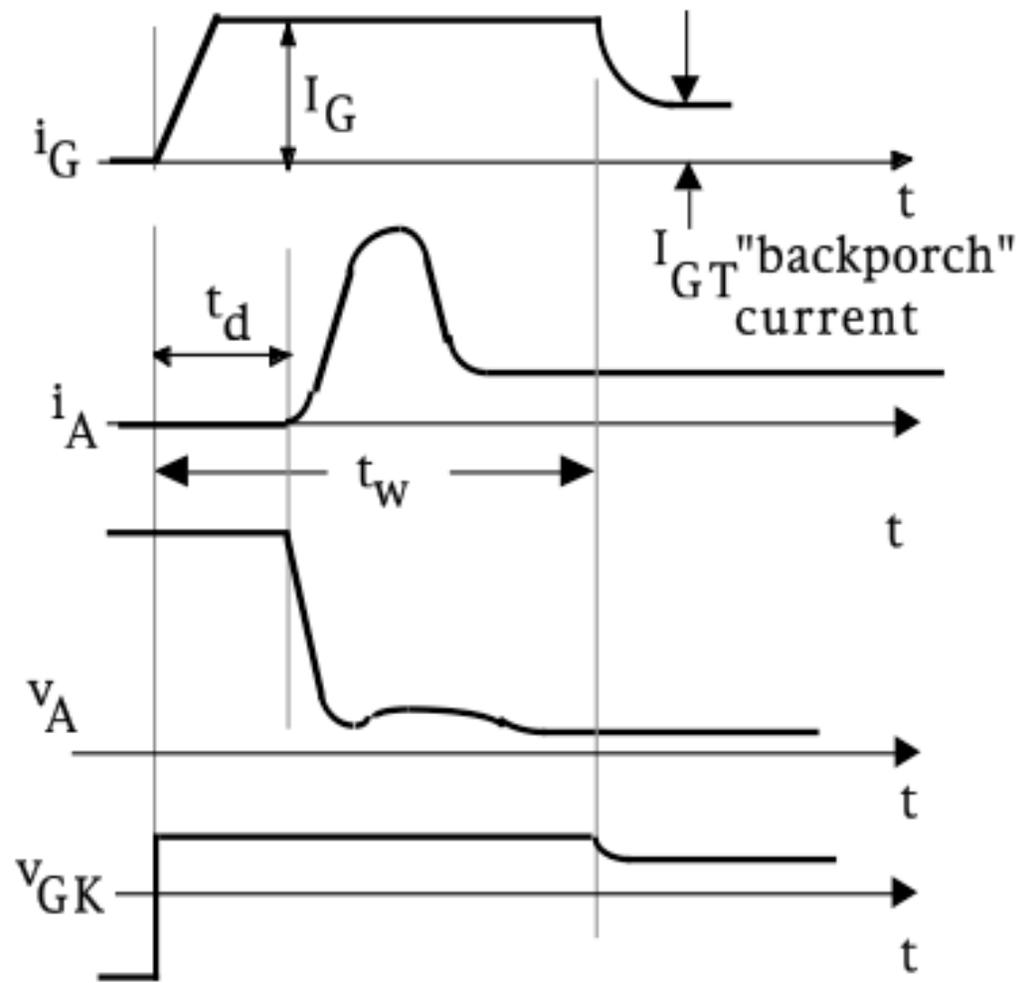
β_{off} elevada requiere $\alpha_2 \approx 1$, $\alpha_1 \ll 1$

1.- Hacer $\alpha_1 \ll 1$ requiere:

- a.- Base de Q_1 ancha (esto además aumenta la tensión de bloqueo directa).
- b.- Dopado bajo en la base de Q_1 (esto aumenta las pérdidas en conducción).

2.- Hacer $\alpha_2 \approx 1$ requiere:

- a.- Base de Q_2 estrecha
- b.- Alto dopado en la región E_2



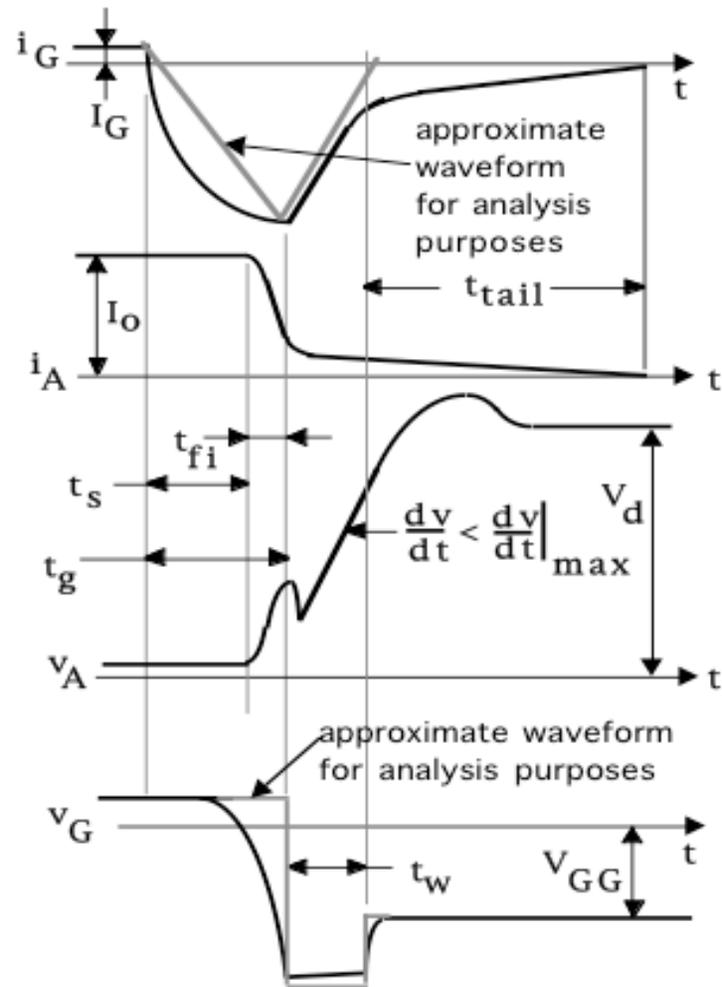
Características de encendido del GTO

i_g : valor pico de la corriente de encendido necesario para máxima velocidad de respuesta.

i_{gt} : corriente de sostenimiento. Debe mantenerse durante todo el intervalo de encendido.

t_d : tiempo de retardo. Durante este tiempo se acumulan portadores en la base hasta alcanzar el nivel necesario para iniciar la avalancha de encendido.

t_w : duración del pulso de encendido.



GTO características de apagado.

I_o : Corriente de ánodo inicial, igual a la corriente de carga.

i_g : corriente de compuerta de sostenimiento

t_s : tiempo de almacenamiento. Tiempo requerido para extraer portadores y llevar las junturas a la condición donde empieza a romperse la avalancha de conducción.

t_{fi} : inicio del intervalo de apagado. La corriente de ánodo cae rápidamente mientras la corriente de carga se transfiere al condensador auxiliar de apagado. El voltaje ánodo-cátodo sube rápidamente debido a la inductancia parásita e el circuito auxiliar de apagado.

t_w : la juntura de compuerta entra en avalancha inversa. La corriente de base inversa sigue retirando portadores en exceso. Al reducirse la corriente de base se reduce la velocidad de caída de la corriente de ánodo.

t_{tail} : la juntura de compuerta bloquea, los portadores atrapados se reducen por recombinación y la corriente de ánodo cae lentamente hasta cero. El circuito auxiliar de apagado controla la velocidad de subida (dv_{ak}/dt) de la tensión de ánodo para asegurar que el GTO no se re-dispara. La mayor parte de las pérdidas de apagado ocurren en este intervalo.

Especificaciones de voltaje (además de las definidas para los diodos)

V_{DSM} = Voltaje directo no repetitivo máximo

V_{DRM} = Voltaje directo repetitivo máximo

V_{DWM} = Voltaje directo de trabajo máximo

V_F = Voltaje directo a temperatura y corriente nominales.

dV_D/dt = Velocidad de variación de voltaje que produce el disparo del dispositivo.

Especificaciones de corriente

I_{FRM} = Corriente pico repetitiva

I_{FSM} = Corriente pico no repetitiva

I_{FAV} = Valor promedio de la corriente directa

I_{FRMS} = Valor rms de la corriente directa

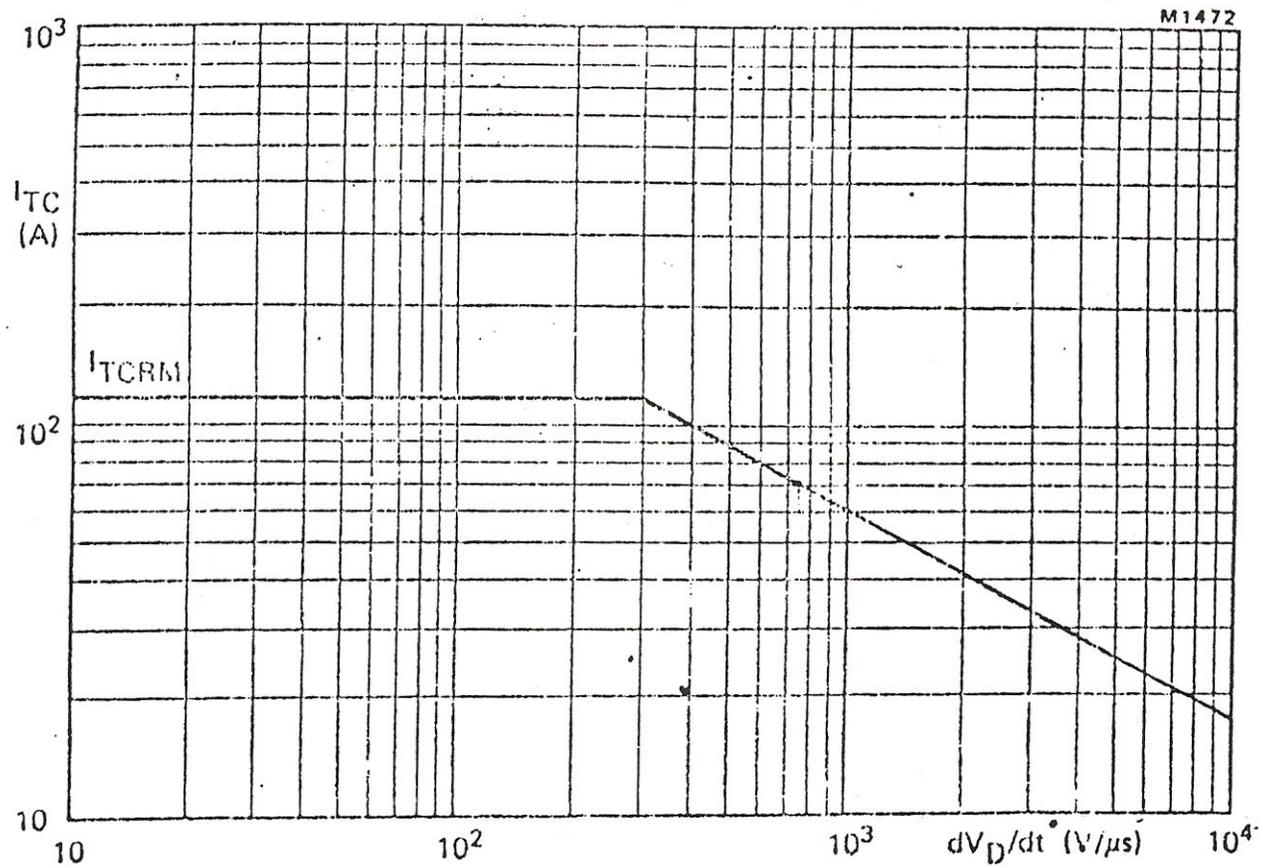
I_R = Corriente de fuga a temperatura y voltaje inverso nominales.

Limitación del $\frac{dV_{AK}(t)}{dt}$ reaplicado en un GTO en función de la corriente A_k conmutada, I_{TC}

En general el máximo $\frac{dV_{AKM}(t)}{dt}$ que puede ser reaplicado en sentido directo sobre un GTO que se ha conmutado en apagado por medio de la compuerta mientras la tensión AK sigue siendo positiva esta inversamente relacionado con la cantidad de corriente AK que fue interrumpida en la conmutación de apagado.

Si el $\frac{dV_{AK}(t)}{dt}$ reaplicado supera el valor máximo especificado por el fabricante para la corriente conmutada, I_{TC} , el GTO vuelve a entrar en conducción, lo que en general puede ocasionar que se produzca una falla catastrófica por corto circuito en el equipo.

La figura muestra una curva típica de relación corriente AK conmutada vs. $\frac{dV_{AK}(t)}{dt}$ máximo permisible

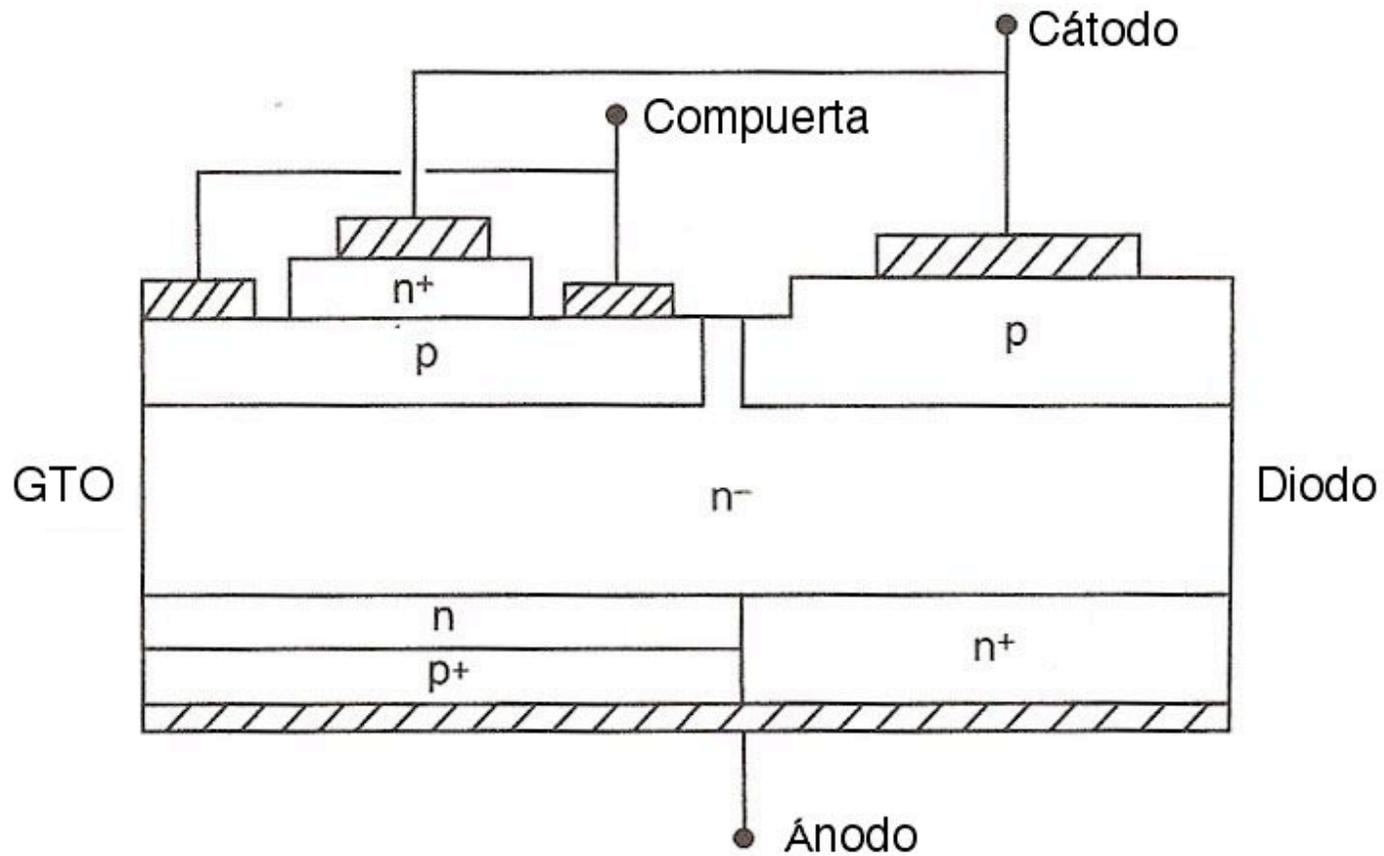


Corriente conmutable de ánodo, I_{TC} , vs. dv/dt reaplicado permisible.

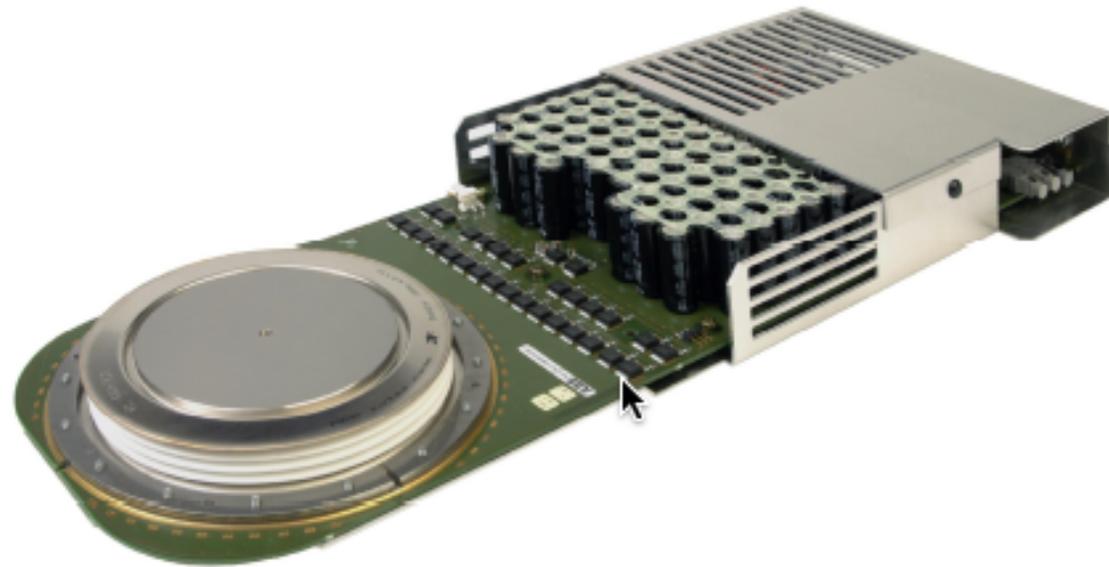
IGCT (Integrated Gate-Commutated Thyristor)

Los IGCT son dispositivos tipo GTO introducidos al mercado por la compañía ABB.

Se diferencian de los GTO convencionales porque en la estructura del semiconductor esta integrado un diodo de conducción inversa, y porque el dispositivo semiconductor, encapsulado en un montaje tipo hockey puk, esta montado directamente en un circuito impreso en el cual se haya también los circuitos de manejo de compuerta tanto de encendido como de apagado, lo que permite optimizar la respuesta del dispositivo híbrido en conmutación.



Estructura de un IGCT.

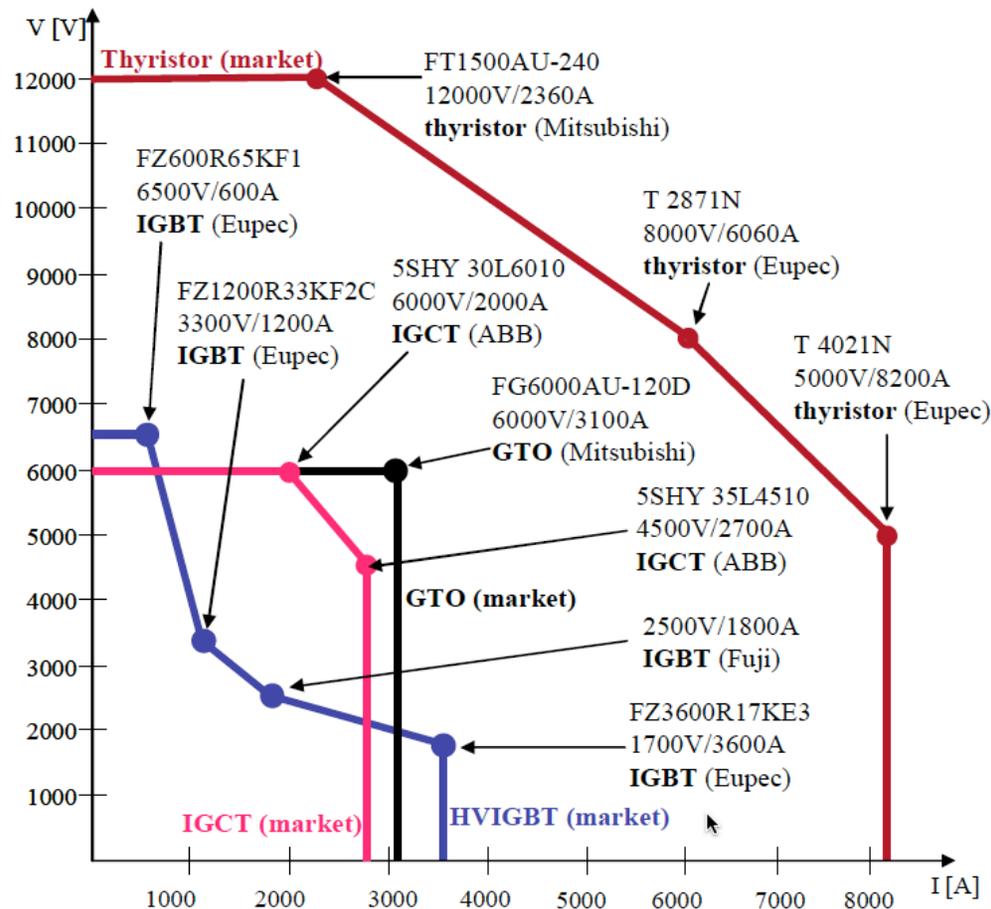


IGBT comercial, modelo 5SHY 55L4500.

Campo de aplicación.

Los GTOs y los IGCTs son los dispositivos electrónicos de control de potencia de conmutación controlada mas poderosos existentes actualmente en el mercado.

Su nicho son las aplicaciones de muy alta potencia, usualmente también a muy alta tensión, donde solo ellos son capaces de desempeñarse, y donde su baja velocidad de conmutación debe ser aceptada porque no existen sustitutos válidos.



El mercado de los dispositivos de control de potencia para aplicaciones de muy alta potencia.

Nota: Los SCR son dispositivos controlados solo en encendido.

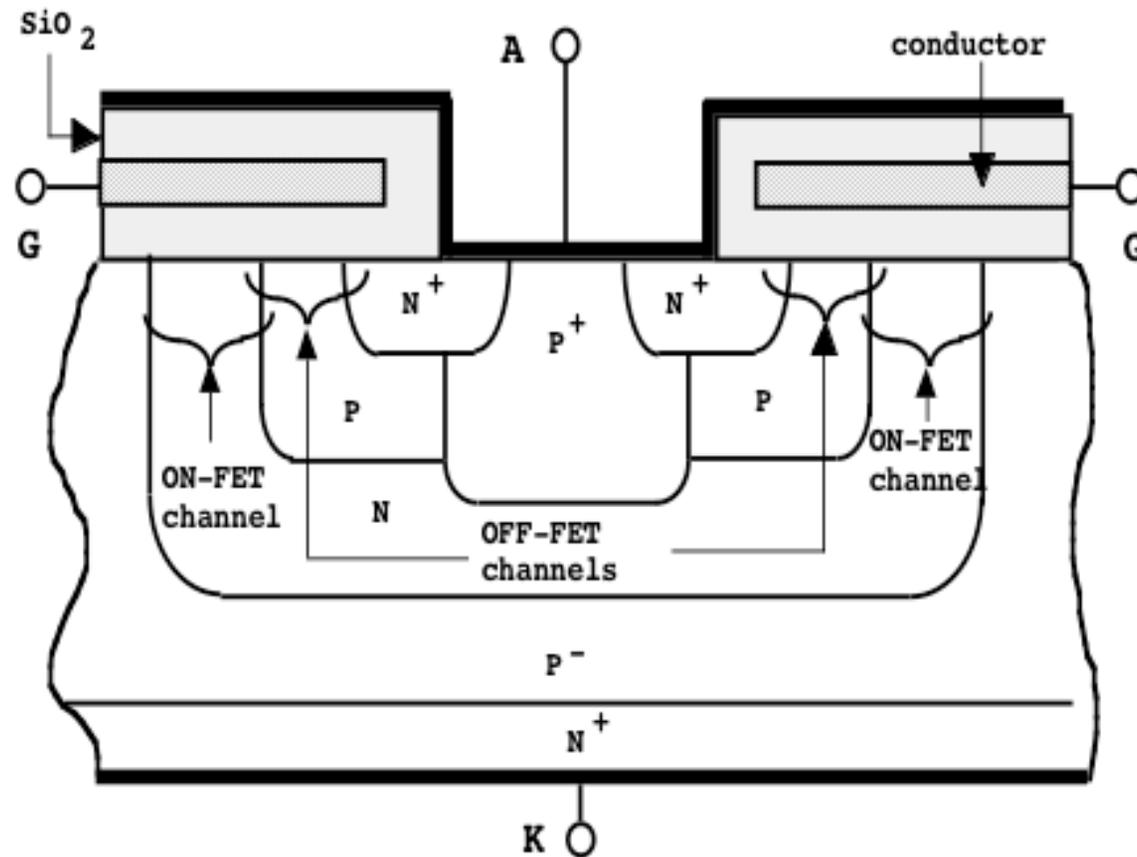
DISPOSITIVOS EMERGENTES

El desarrollo de un amplio mercado para aplicaciones con muy altos niveles de potencia (HVDC, FACTS, control de motores de muy alta potencia) y el éxito logrado con el desarrollo de dispositivos que incorporan en su estructura elementos funcionales de dispositivos tipo bipolar y de compuerta aislada ha llevado a que se propongan varios tipos nuevos de conmutadores completamente controlados que combinan el mecanismo de conducción de la corriente principal de los SCR, que es el que permite la mayor densidad de corriente y muy altos voltajes de bloqueo, con esquemas de control de corriente del tipo compuerta aislada, que es el que permite la menor energía de control.

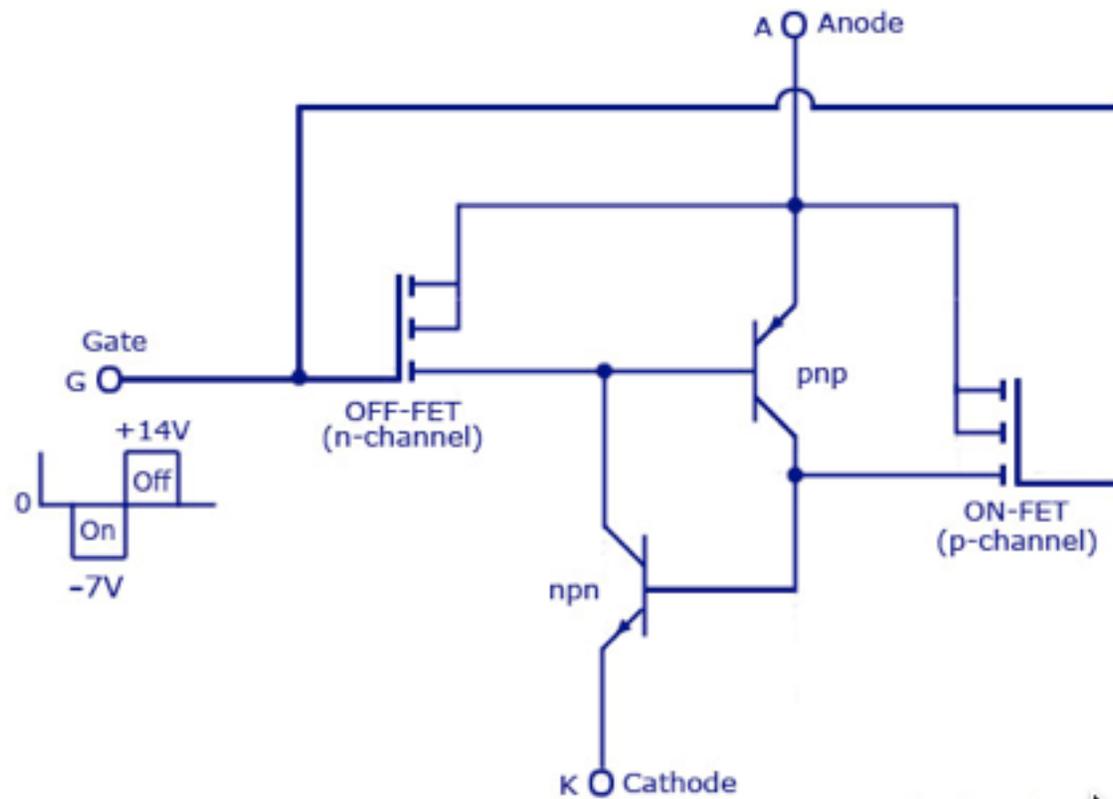
Entre estos nuevos dispositivos, básicamente experimentales, se pueden mencionar los siguientes.

I.- TIRISTORES CONTROLADOS POR COMPUERTA AISLADA (MCT, MOS-Controlled Thyristor)

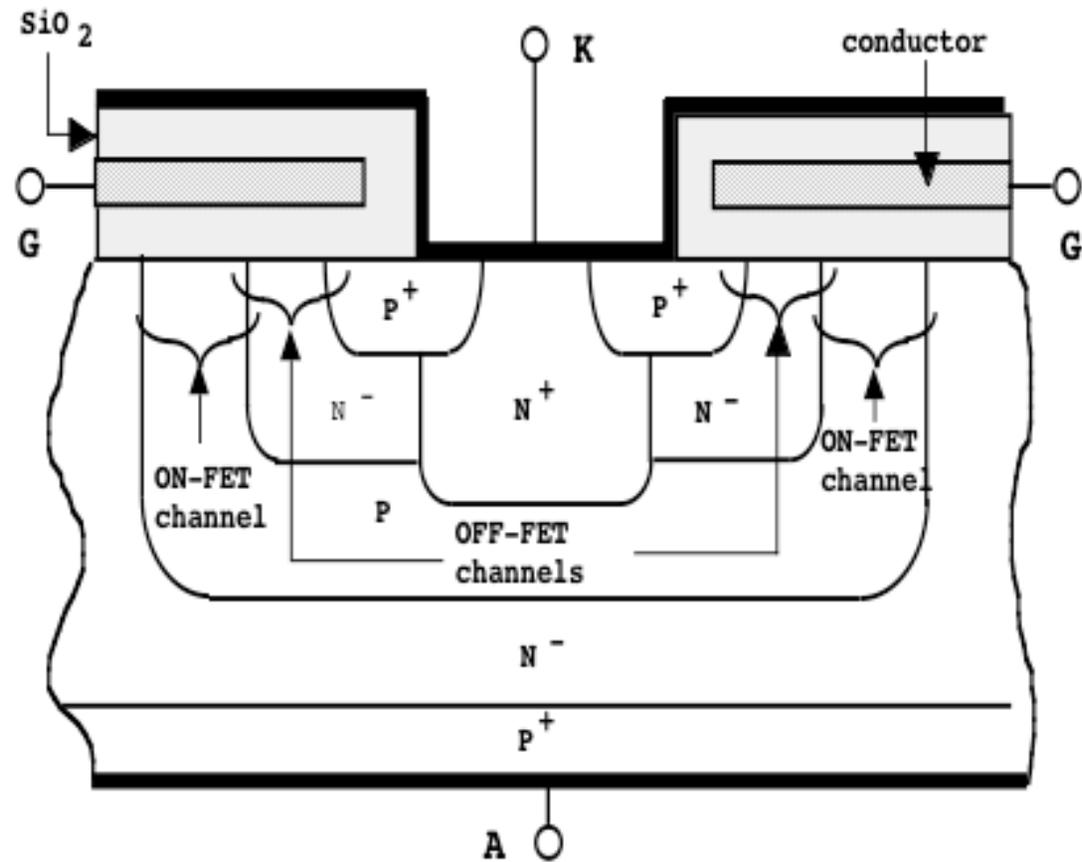
El MTC es un dispositivo monolítico, en cuya estructura se define una configuración básica tipo PNP, encargada de las funciones de bloqueo y conducción de la corriente de trabajo, y sendas estructuras tipo MOSFET canal N y MOSFET canal P, encargadas de las funciones de encendido y apagado por compuerta.



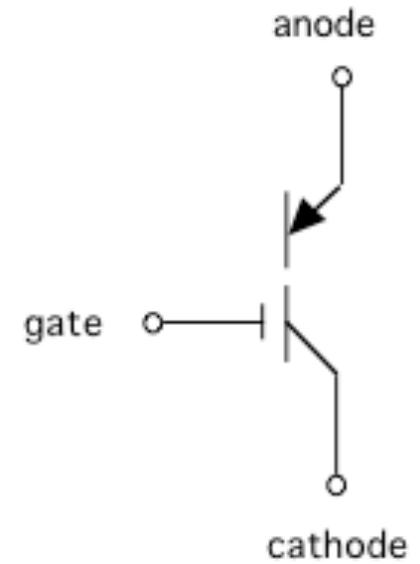
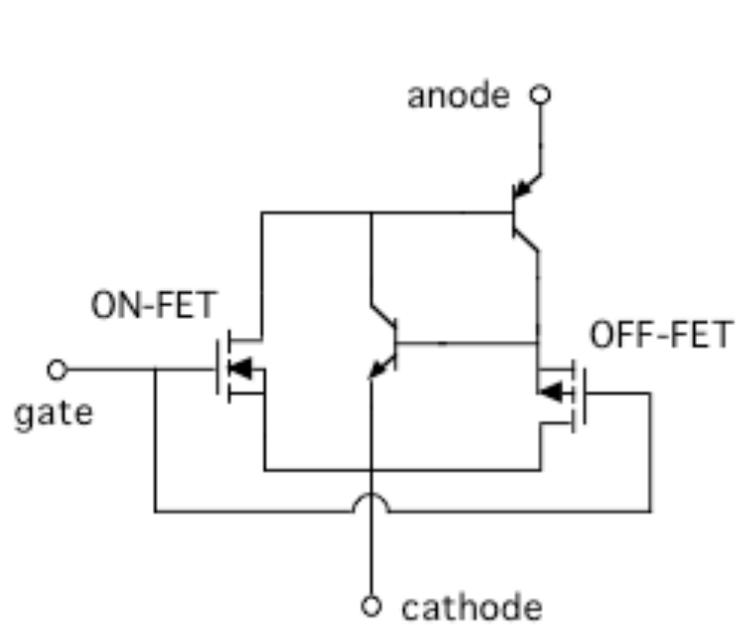
Estructura del Tiristor controlado por MOS tipo P (P-MCT)



P-MCT: circuito equivalente



Estructura del Tiristor controlado por MOS tipo N (N-MCT)



N-MCT: circuito equivalente (izquierda) y símbolo circuital (derecha)

Encendido controlado de los MCTs.

- 1.- Los MCTs se encienden activando el ON-FET con:
Tensión compuerta-cátodo positiva para el N-MCT
Tensión compuerta-ánodo negativa para el P-MCT

- 2.- El ON-FET proporciona corriente de base a los transistores de baja ganancia:
El transistor PNP en el N-MCT
El transistor NPN en el P-MCT
El ON-FET mantiene apagado al OFF-FET

- 3.- Los transistores de baja ganancia activan a los de alta ganancia y el tiristor engancha en encendido.

Apagado controlado de los MCTs.

- 1.- Los MCTs se apagan activando el OFF-FET con:
Tensión compuerta-cátodo negativa en el N-MCT
Tensión compuerta-cátodo positiva en el P-MCT
- 2.- El OFF-FET desvía la corriente de base de los transistores de alta ganancia:
El transistor NPN en el N-MCT
El transistor PNP en el P-MCT
- 3.- El apagado del transistor de alta ganancia apaga al de baja ganancia

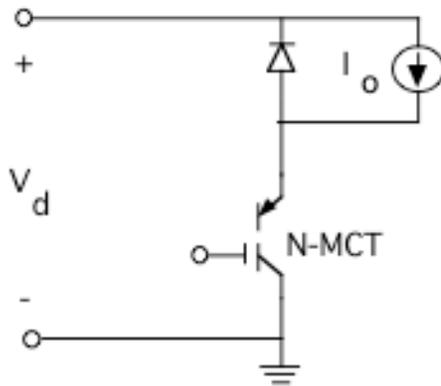
El ON-FET debe permanecer activado durante todo el intervalo de conducción del MCT para evitar apagados accidentales.

El OFF-FET debe permanecer activado durante todo el intervalo de apagado del MCT para evitar encendidos accidentales.

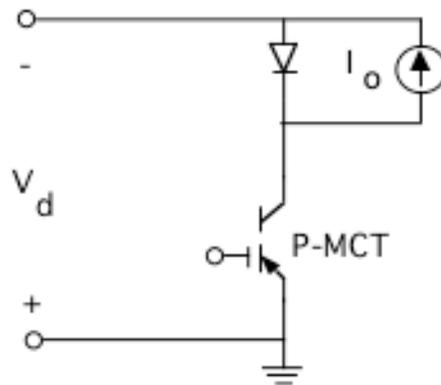
Todas las celdas individuales en un MCT tienen un OFF-FET.

Solo un 5 a 10% de las celdas individuales en un MCT tienen un ON-FET. Las demás celdas se encienden por difusión de portadores.

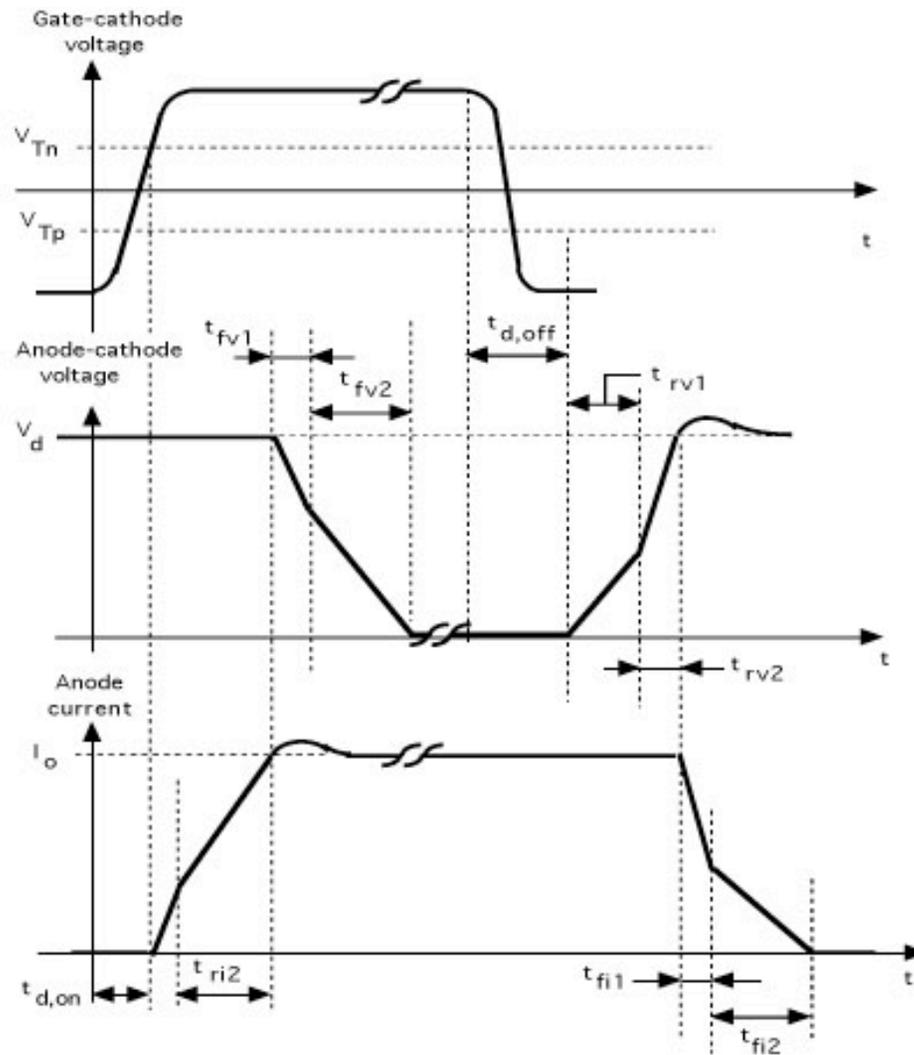
N-MCT Step-down Converter



P-MCT Step-down Converter



▸ Circuitos típicos de aplicación de MCTs



Características de conmutación de un N-MCT

Proceso de encendido.

t_{don} : Tiempo de retardo de encendido, Tiempo necesario para que la compuerta alcance el valor de tensión de encendido desde el valor inicial de apagado.

Tiempo de subida de la corriente (t_{ri1} y t_{ri2})

t_{ri1} : tiempo de subida de la corriente 1. La corriente inicial circula por el ON-FET a medida que este se enciende

t_{ri2} : Se encienden los transistores bipolares, deribando la corriente del ON-FET

Tiempo de bajada del voltaje (t_{fv1} y t_{fv2})

t_{fv1} : los BJTs están en la zona activa, y la tensión AK cae rápidamente.

t_{fv2} : los BJTs entran en la zona de cuasi-saturación y la pendiente de caída del voltaje se reduce.

El voltaje compuerta-cátodo debe tener un frente de subida muy rápido, alcanzando su valor final en unos 200nsec.

Proceso de apagado.

t_{doff} : tiempo de retardo. Tiempo requerido para que la tensión compuerta-cátodo alcance el valor de apagado y se remueva una parte sustancial de la carga almacenada en la base de los transistores

Tiempo de subida del voltaje (t_{rv1} y t_{rv2})

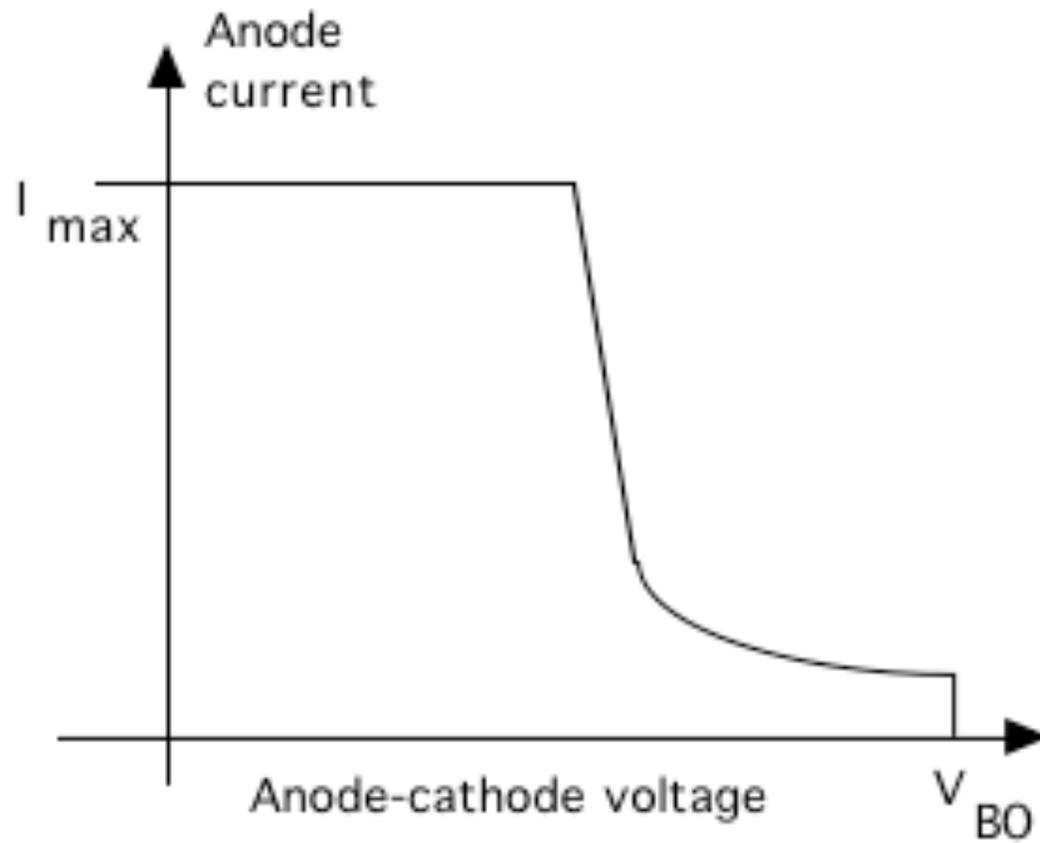
t_{rv1} : BJTs en cuasi-saturación. Pendiente de subida del voltaje baja.

t_{rv2} : BJTs en la zona activa. Pendiente de subida del voltaje alta.

Tiempo de caída de la corriente (t_{fi1} y t_{fi2})

t_{fi1} : la corriente cae rápidamente mientras el transistor de alta ganancia esta en proceso de apagado.

t_{fi2} : la corriente cae lentamente, formando una “cola de corriente” mientras la carga atrapada en la base del transistor de baja ganancia se recombina.



MCT: zona de operación segura.

I_{\max} definida por la máxima corriente controlable en apagado,
actualmente de 50 a 100A

V_{\max} definida por en más bajo entre los valores de ruptura
del tiristor y el OFF-FET. Actualmente 600V. Prototipos de
2000V.

dv/dt limitado por los mismos procesos que en un SCR.
Dispositivos con 500 a 1000 v/ μ s

di/dt limitado por sobre corrientes locales. Dispositivos con
500 A/ μ s

II.- Tiristor apagado por MOSFET (MTO, MOS Turn-off Thyristor).

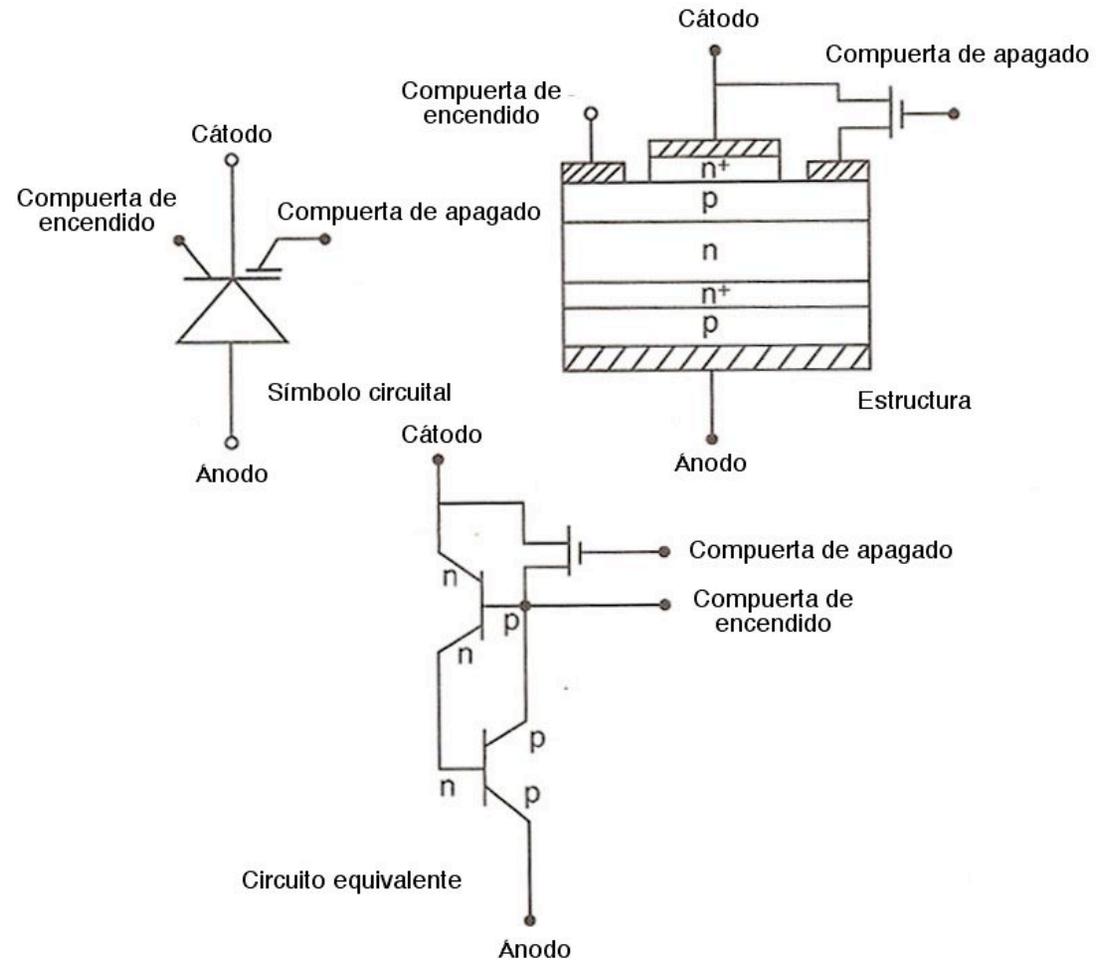
Es un dispositivo híbrido formado por un GTO y un arreglo de MOSFETs individuales conectados en paralelo entre la compuerta y el cátodo del GTO.

El dispositivo híbrido resultante tiene dos compuertas, la del GTO que sirve como compuerta de encendido normal, y la del arreglo de MOSFETs conectados en paralelo que sirve de compuerta de apagado.

El proceso de encendido y de conducción del MTO es función del GTO y es completamente convencional.

Para apagar el MTO se enciende el arreglo de MOSFETs, lo que abre un camino de conducción a través del cual la corriente principal sale del GTO por el terminal de compuerta, cortando la corriente de base del transistor bipolar inferior (el NPN) del circuito equivalente del GTO, y provocado el apagado del dispositivo.

Los MOSFETs no soportan tensión de bloqueo, y deben ser por lo tanto dispositivos de baja tensión, con la mínima resistencia en conducción posible.



El MTO.

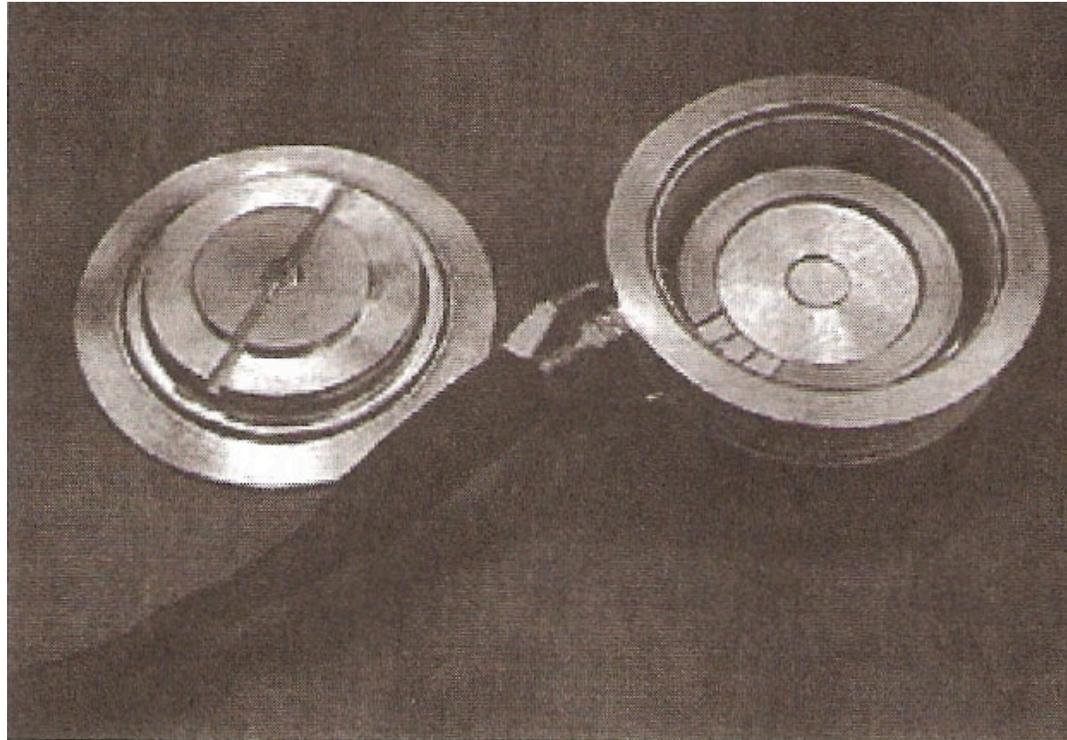
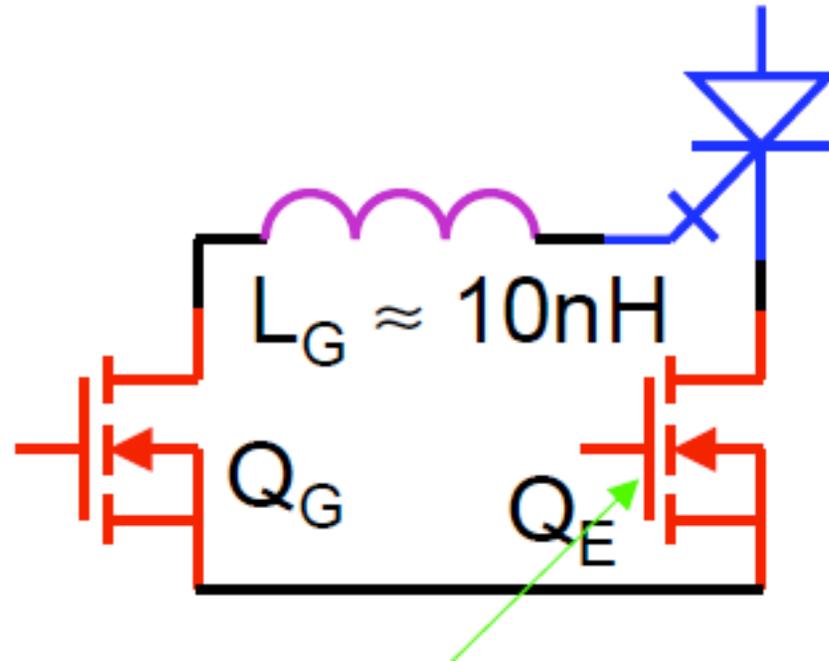


Foto de un MTO con el encapsulado abierto mostrando el GTO que maneja la corriente principal (izquierda) y el arreglo de MOSFETs de apagado dispuesto en anillo (derecha).

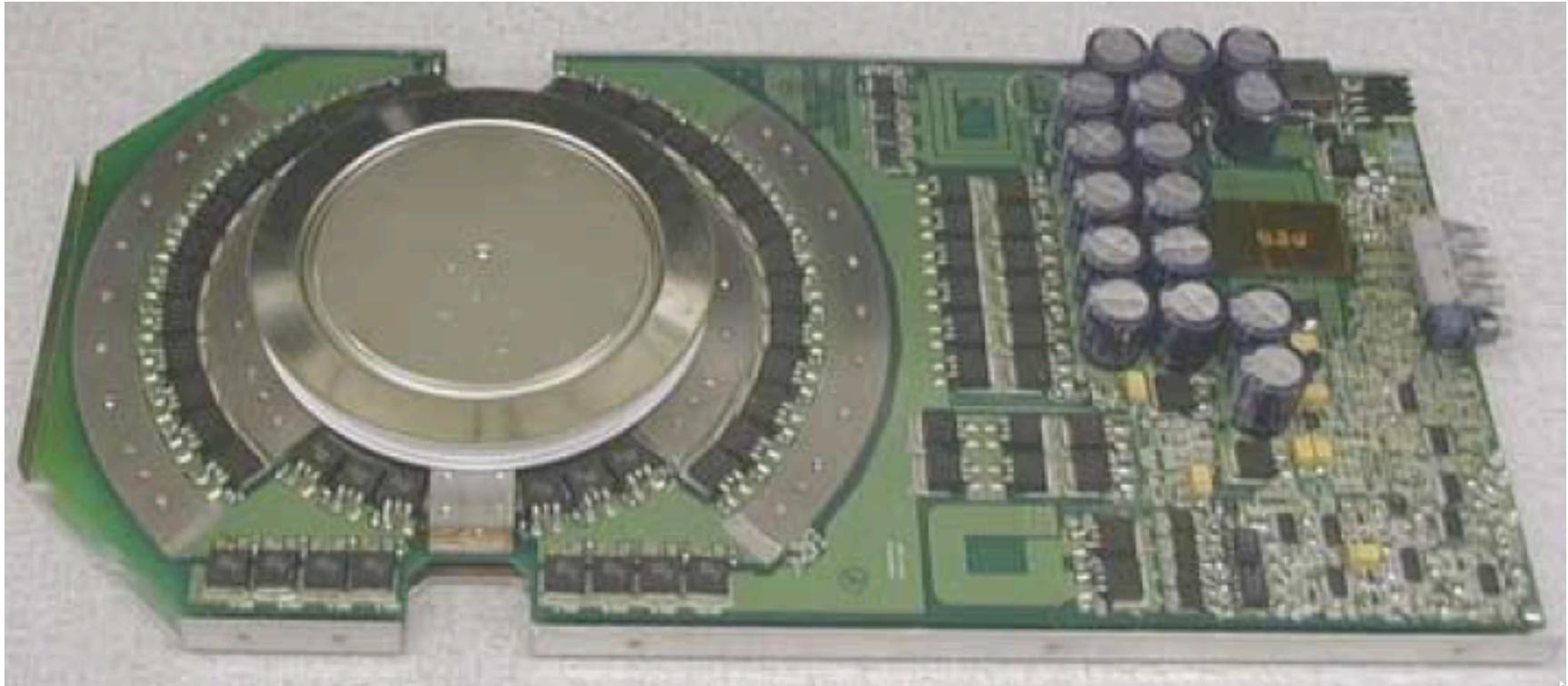
III.- Tiristor apagado por Emisor (ETO, Emitter Turn-Off Thyristor).

Es un dispositivo híbrido formado por un GTO y dos arreglos de MOSFETs individuales conectados en paralelo; uno de los dos arreglos se conecta en serie con el cátodo del GTO y el otro se conecta en entre la compuerta del GTO y la salida del primer arreglo .

El dispositivo híbrido resultante tiene tres compuertas, la del GTO que sirve como compuerta de encendido normal, y la de cada uno de los arreglos de MOSFETs conectados en paralelo que intervienen en el proceso de apagado.



Circuito equivalente del ETO (no se muestra la conexión entre la compuerta del GTO y su circuito de encendido).



Fotografía de un prototipo de ETO de tercera generación, mostrando el GTO, los arreglos de MOSFETs y el resto de los circuitos auxiliares de encendido y apagado.

Para encender el ETO se apaga el arreglo de MOSFETs Q_G , se enciende en arreglo de MOSFETs Q_E , y simultáneamente se aplica el pulso normal de encendido a la compuerta del GTO. La corriente de trabajo circula por el GTO y el arreglo Q_E , en serie con el GTO; el número de MOSFETs en paralelo en Q_E debe ser suficiente para minimizar la resistencia serie adicional y mantener las pérdidas en conducción en un valor razonable.

Para iniciar el proceso de apagado simultáneamente se enciende el arreglo Q_G y se apaga el arreglo Q_E . El encendido de Q_G abre un camino de baja impedancia entre la compuerta del GTO y la salida del ETO, y el apagado de Q_E eleva la tensión entre la salida del ETO y la compuerta del GTO.

La combinación de estos dos efectos simultáneos desvía la corriente principal del GTO del terminal de cátodo al de compuerta, y apaga al dispositivo.

Los MOSFETs del arreglo Q_E no soportan una tensión significativa, y solo es necesario que su tensión de bloqueo sea superior a la tensión de avalancha cátodo-compuerta del GTO.